

いき値ゲート回路について

牟田 征一
(九州大学工学部)

1. まえがき

近年、いき値論理に関する多くの研究がなされてきたが、⁽¹⁾その理由の一つは、いき値ゲートがブールゲートよりも広い論理機能をもち、そのため等価な論理システムをより少ないゲート数で実現できる可能性があるためである。一般に、論理ゲートを評価するためには論理機能のほか、物理的に実現した場合の種々の回路特性を知ることが必要であるが、特に有力な性能指数の一つは消費電力と伝播遅延時間の積である。⁽²⁾また、回路設計の難易という観点に対してはこのほか素子偏差について考慮することが重要となる。ところで、いき値ゲートについては、従来いくつかのモデルを用いて素子感度解析がなされ、⁽³⁾論理機能と素子値の許容偏差との関係が明らかにされているが、その他の回路特性と論理機能との関係、およびいき値ゲートとブールゲートとの回路特性上の関係についてはほとんど知られていないようである。

そのため、本稿では、並列形スイッチ接続のブールゲート

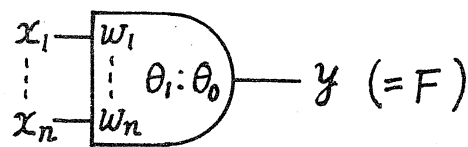
回路を特別の場合として含む いき値ゲートの理想化された一回路モデルを考えた。この回路モデルについて解析を行ない、消費電力・伝播遅延時間積と論理機能の関係を求めて、いき値ゲート回路の原理的な問題点、およびブールゲート回路との関係などを考察した。

いき値ゲート回路において主要な回路操作は、入力信号に対する重み付け加算と、その結果生じる多レベル信号に対して行なういき値との比較の二つであるが、多レベル信号に対する比較操作は多レベル式の多値論理ゲート回路においても必要な操作である。したがって、いき値ゲート回路について論理機能と回路特性の関係を調べ、問題点を考察することはまた、多値論理ゲートを回路実現する際の特徴や問題点をも示唆するのではないかと思われる。

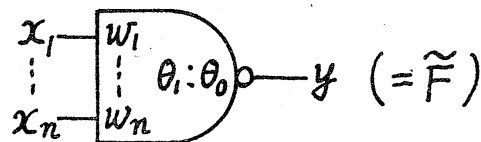
2. いき値ゲートの定義

(1) いき値ゲート

いき値ゲートをノーマルいき値ゲートと *Inverting* いき値ゲートに分け、その記号を図1. に示す。図1. において、 x_1, \dots, x_n は



(a) ノーマルいき値ゲート



(b) *Inverting* いき値ゲート

図1. いき値ゲートの記号

入力論理変数, y は出力論理変数で, 0 または 1 の値をとる.
重み w_1, \dots, w_n は正と仮定する. θ_1, θ_0 はそれぞれ上いき
値, 下いき値と呼び, $\theta_1 > \theta_0$ である. いま, 入力変数の
関数 F を

$$F = \begin{cases} 1 & : \sum_{i=1}^n w_i x_i \geq \theta_1 \\ 0 & : \sum_{i=1}^n w_i x_i \leq \theta_0 \end{cases} \quad (1)$$

と定義し, (1) 式において同時に

$$\theta_1 = \min \left(\sum_{i=1}^n w_i x_i \mid F=1 \right) \quad (2a)$$

$$\theta_0 = \max \left(\sum_{i=1}^n w_i x_i \mid F=0 \right) \quad (2b)$$

とする. このとき, ノーマルいき値ゲートは

$$y = F, \quad (3)$$

Inverting いき値ゲートでは

$$y = \tilde{F} = 1 - F \quad (4)$$

と定義する.

以上のように定義したいき値ゲートにおいて,

$$m = \sum_{i=1}^n w_i, \quad (5)$$

$$m_N = m / (\theta_1 - \theta_0), \quad (6)$$

$$\theta_N = (\theta_1 + \theta_0) / 2(\theta_1 - \theta_0) \quad (7)$$

とおき, それぞれ, ファンイン, 正規化 ファンイン, 正規化いき
値とよぶ. なお,

$$m \geq \theta_1 > \theta_0 \geq 0 \quad (8)$$

なる関係から,

$$m_N - 0.5 \geq \theta_N \geq 0.5 \quad (9)$$

である.

(2) ブールゲート

AND, OR, NAND, NOR 各ゲートをブールゲートとよべば, 図1のいき値ゲートは, 入力変数が縮退する場合を除いて, $\theta_1 = m$, および $\theta_0 = 0$ の場合に, 表1に示すようなブールゲートとなる.

表1 ブールゲートになる場合

	ノーマルいき値ゲート	Inverting いき値ゲート
$\theta_1 = m$ ($\theta_N = m_N - 0.5$)	$y = \text{AND}(x_1, \dots, x_n)$	$y = \text{NAND}(x_1, \dots, x_n)$
$\theta_0 = 0$ ($\theta_N = 0.5$)	$y = \text{OR}(x_1, \dots, x_n)$	$y = \text{NOR}(x_1, \dots, x_n)$

3. 理想回路素子

(1) 受動電流源

いき値ゲートの理想回路モデルを構成する素子として, 独立または被制御の受動電流源とよぶ非線形素子を考える. 受動電流源はFETのドレイン・ソース特性や, トランジスタのコレクタ・エミッタ特性など, 半導体素子の部分的な定電

流特性を理想化したものである。

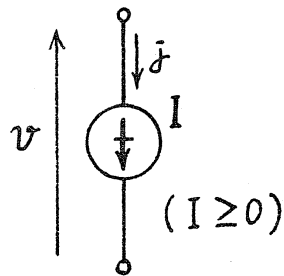


図2 受動電流源の記号

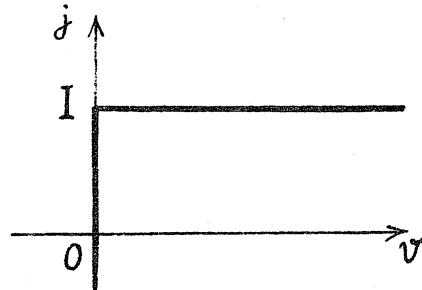


図3 受動電流源の電圧・電流特性

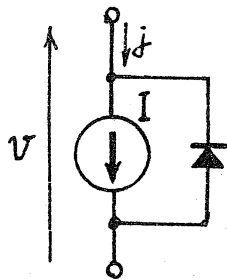
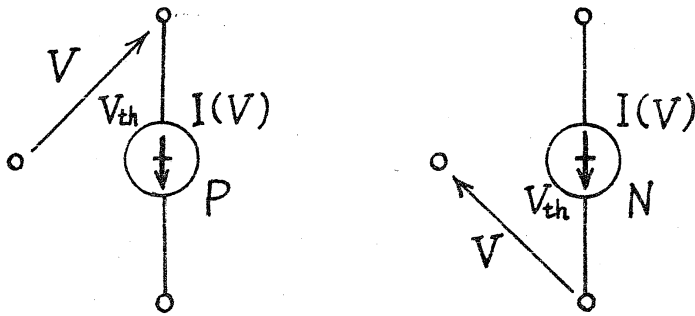


図4 受動電流源の等価回路

図2 に受動電流源の記号を，図3 にその電圧電流特性を示す。等価回路は図4 のように電流源と理想ダイオードの並列接続で示される。

図4 の等価回路において，電流源の独立，被制御の区別により，受動電流源の独立，被制御を区別する。被制御の受動電流源としてここでは3端子の電圧制御受動電流源のみを考え，その制御特性にも理想化を行なう。

3端子の電圧制御受動電流源を制御電圧のかかり方により2種類（P型とN型）に分け，また，制御特性の位相により2種類（ノーマル型と *Inverting* 型）に分ける。図5にP型およびN型素子の制御電圧のかかり方を示す。



(a) P型

(b) N型

図5. 3端子電圧制御受動電流源

定電流値の制御特性は理想的ないき値特性をもつものとし、

$$I(V) = \begin{cases} I_1 & : V > V_{th} \\ I_\phi & : V = V_{th} \\ I_0 & : V < V_{th} \end{cases} \quad (10)$$

とする。ただし、ここで、

$$\min(I_1, I_0) \leq I_\phi \leq \max(I_1, I_0), \quad (11)$$

$$I_1, I_0 \geq 0 \quad (I_1 \neq I_0) \quad (12)$$

とする。

(10)式において、 $I_1 < I_0$ となる素子をノーマル型とよび、 $I_1 > I_0$ となる素子を *Inverting* 型 とよぶ。なお、制御端子の入力特性は開放としている。

いま、単位関数 $u(p)$ を

$$u(p) = \begin{cases} 1 & : p > 0 \\ 0 & : p < 0 \end{cases} \quad (13)$$

と定義し, $I(V)$ を単位関数を用いて表わせば,

$$\begin{aligned} I(V) &= I_1 u(V - V_{th}) + I_0 u(V_{th} - V) \\ &= I_1 u(V - V_{th}) + I_0 \tilde{u}(V - V_{th}) \end{aligned} \quad (14)$$

となる。ただし, $V \neq V_{th}$ とする。

なお, $I, I_1, I_0 \geq 0$ の仮定から, 受動電流源は電力を発生しない。

(2) 受動電流源の接続

図6に示すように, 定電流値 I_A, I_B なる受動電流源を同じ向きに並列接続したものは 定電流値 $I_A + I_B$ の受動電流源と等価になる。このことは図4の等価回路から明らかである。

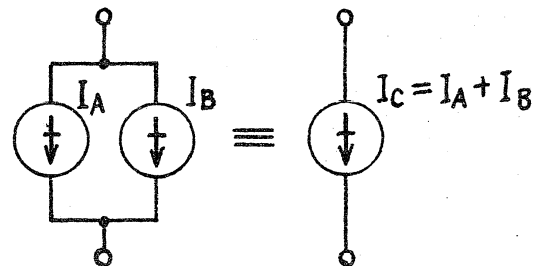


図6 受動電流源の並列接続

I_A, I_B の受動電流源を同じ向きに直列接続したものは, 図7に示すように, I_A, I_B の小さい方の定電流値をもつ受動電流源と等価である。このことは図8の説

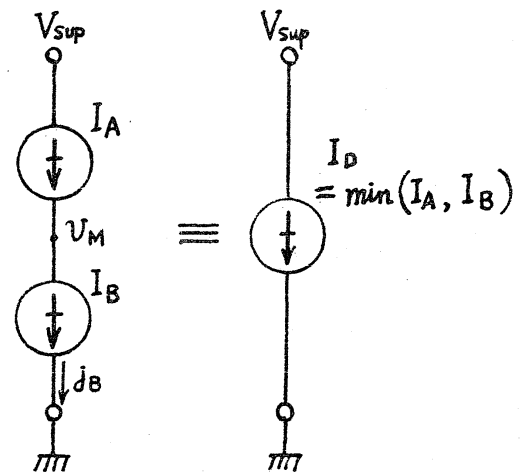


図7 受動電流源の直列接続

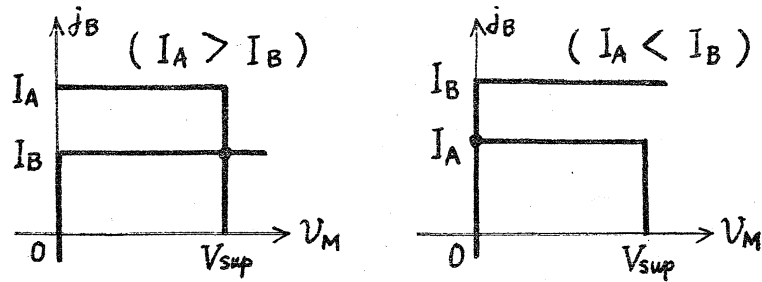


図8 受動電流源の直列接続の説明

明図から明らかである。また、図8から、

$$V_M = \begin{cases} V_{sup} & : I_A > I_B \\ 0 & : I_A < I_B \end{cases} \quad (15)$$

となり、印加電圧 V_{sup} は定電流値の小さい方の素子に全電圧がかかることがわかる。

次章において、受動電流源の同じ向きに並列接続と直列接続を、それぞれ、重み付け加算操作と比較操作に適用して、いき値ゲート回路のモデルを構成する。

4. 理想回路モデルの構成

(1) いき値ゲートの理想回路モデル

いき値ゲートの理想回路モデルの構成と解析をするにあたり、各型の素子、および正論理、負論理の場合をまとめて議論するため、型変数 z_1, z_2, z_3 を表2のように定義する。

なお、正論理とは、真理値 1, 0 を表わす論理信号電圧の標準値を V_{L1}, V_{L0} とするとき、 $V_{L1} > V_{L0}$ とすることを言

う。また, $V_{L1} < V_{L0}$ とすることを負論理という。

表2 型変数の定義

	1	0
x_1	正論理	負論理
x_2	P型素子	N型素子
x_3	ノーマル型素子	Inverting型素子

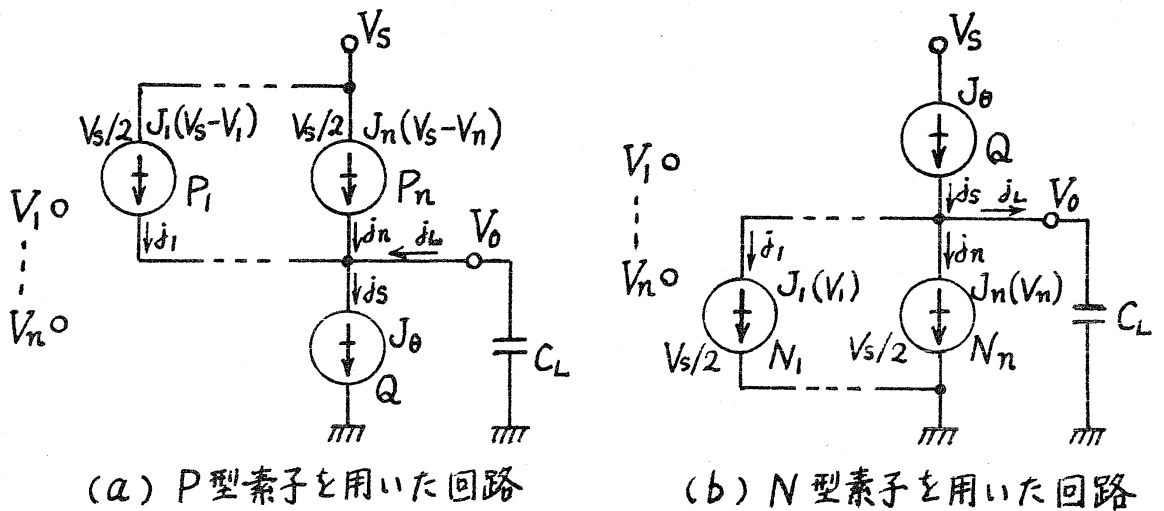


図9 いき値ゲートの理想回路モデル

図9にいき値ゲートの理想回路モデルを示す。図9において, V_1, \dots, V_n はそれぞれ x_1, \dots, x_n に対応し, V_0 は y に対応する。 n 個の並列な電圧制御受動電流源はすべて同じ型の素子と仮定する。 Q は独立受動電流源である。

C_L は負荷容量で、過渡特性の解析の際に考慮する。

論理信号電圧と論理変数の対応関係は、真理値 1, 0 判別のいき値電圧を V_T とすれば、 z_i の定義から、

$$x_i = u(V_i - V_T) z_i + \tilde{u}(V_i - V_T) \tilde{z}_i \quad (16)$$

$$(V_i \neq V_T), (i = 0, 1, \dots, n)$$

とかける。ただし、 $x_0 = y$ としている。上式から、

$$u(V_i - V_T) = x_i z_i + \tilde{x}_i \tilde{z}_i \quad (17)$$

となる。

図9において、P型の電圧制御受動電流源 P_1, \dots, P_n の特性を(14)式と同様に、

$$J_i(V_s - V_i) = J_{i2} u(V_s - V_i - V_s/2) + J_{oi} \tilde{u}(V_s - V_i - V_s/2)$$

$$= J_{i2} \tilde{u}(V_i - V_s/2) + J_{oi} u(V_i - V_s/2) \quad (18)$$

$$(V_i \neq V_s/2), (i = 1, \dots, n)$$

と表わす。同様に、N型素子 N_1, \dots, N_n の特性を

$$J_i(V_i) = J_{i2} u(V_i - V_s/2) + J_{oi} \tilde{u}(V_i - V_s/2) \quad (19)$$

$$(V_i \neq V_s/2), (i = 1, \dots, n)$$

と表わす。ここで、ノーマル型素子の場合には

$$J_{i2} = 0, \quad J_{oi} = w_i J_e \quad (20a), (20b)$$

とし、Inverting型素子では

$$J_{i2} = w_i J_e, \quad J_{oi} = 0 \quad (21a), (21b)$$

とする。ただし $J_e > 0$ である。 J_{i2}, J_{oi} を z_3 を用い

て表わせば,

$$J_{1i} = w_i J_e \tilde{z}_3 \quad (22a)$$

$$J_{0i} = w_i J_e z_3 \quad (22b)$$

となる.

(17), (18), (19) 式から

$$V_T = V_s / 2 \quad (23)$$

とおけば, $J_i(V_s - V_i)$, $J_i(V_i)$ の値は x_i の函数として表わせる. したがって, これを $J_i(x_i)$ と書くことにし, z_2 によって P 型と N 型の場合をまとめて表わせば,

$$J_i(x_i) = \left\{ J_{1i}(z_1 \tilde{z}_2 + \tilde{z}_1 z_2) + J_{0i}(z_1 z_2 + \tilde{z}_1 \tilde{z}_2) \right\} x_i \\ + \left\{ J_{1i}(z_1 z_2 + \tilde{z}_1 \tilde{z}_2) + J_{0i}(z_1 \tilde{z}_2 + \tilde{z}_1 z_2) \right\} \tilde{x}_i \quad (24)$$

となる. 上式に (22a), (22b) 式を代入して整理し,

$$z_0 = z_1 \tilde{z}_2 \tilde{z}_3 + \tilde{z}_1 z_2 \tilde{z}_3 + \tilde{z}_1 \tilde{z}_2 z_3 + z_1 z_2 z_3 \quad (25)$$

とおくことにより,

$$J_i(x_i) = w_i J_e (x_i z_0 + \tilde{x}_i \tilde{z}_0) \quad (26)$$

が得られる.

よって, n 個の電圧制御受動電流源の並列接続は, 受動電流源の接続の項で述べたように, 定電流値

$$\sum_{i=1}^n J_i(x_i) = J_e \left(z_0 \sum_{i=1}^n w_i x_i + \tilde{z}_0 \sum_{i=1}^n w_i \tilde{x}_i \right) \quad (27)$$

なる受動電流源と等価になる.

V_0 は定電流値 $\sum_{i=1}^n J_i(x_i)$ の受動電流源と J_0 の受動電流源 Q との直列接続の接続点の電位であるから, (15) 式と同様にして,

$$V_0 = \begin{cases} V_s z_2 & : \sum_{i=1}^n J_i(x_i) > J_0 \\ V_s \tilde{z}_2 & : \sum_{i=1}^n J_i(x_i) < J_0 \end{cases} \quad (28)$$

となる。よって, (27), (28) 式から, $z_0 = 1$ のときは

$$V_0 = V_s z_2 u(J_e \sum_{i=1}^n w_i x_i - J_0) + V_s \tilde{z}_2 u(J_0 - J_e \sum_{i=1}^n w_i x_i) \quad (29)$$

となり, (1) 式と比較することにより

$$\theta_1 J_e > J_0 > \theta_0 J_e \quad (30)$$

と選べば, V_0 は F によって表わせることがわかる。すなわち,

$$V_0 = V_s z_2 F + V_s \tilde{z}_2 \tilde{F} = V_s (F z_2 + \tilde{F} \tilde{z}_2) \quad (31)$$

となる。 $z_0 = 0$ のときは, $z_0 = 1$ のときと同様にして,

$$(m - \theta_0) J_e > J_0 > (m - \theta_1) J_e \quad (32)$$

とすれば,

$$V_0 = V_s (F \tilde{z}_2 + \tilde{F} z_2) \quad (33)$$

となる。

z_0 を用いて, (31), (33) 式をまとめると,

$$\begin{aligned}
 V_0 &= V_s \{ (F z_2 + \tilde{F} \tilde{z}_2) z_0 + (F \tilde{z}_2 + \tilde{F} z_2) \tilde{z}_0 \} \\
 &= V_s \{ F (z_2 z_0 + \tilde{z}_2 \tilde{z}_0) + \tilde{F} (z_2 \tilde{z}_0 + \tilde{z}_2 z_0) \} \quad (34)
 \end{aligned}$$

となり, (16) 式において $i=0$ のときにあてはめると,

$$\begin{aligned}
 y &= \{ F (z_2 z_0 + \tilde{z}_2 \tilde{z}_0) + \tilde{F} (z_2 \tilde{z}_0 + \tilde{z}_2 z_0) \} z_1 \\
 &\quad + \{ F (z_2 \tilde{z}_0 + \tilde{z}_2 z_0) + \tilde{F} (z_2 z_0 + \tilde{z}_2 \tilde{z}_0) \} \tilde{z}_1 \quad (35)
 \end{aligned}$$

となる. これを整理すると,

$$y = F z_3 + \tilde{F} \tilde{z}_3 \quad (36)$$

となる. 上式はノーマル型素子を用いた理想回路モデルはノーマルいき値ゲートになり, *Inverting* 型素子を用いれば *Inverting* いき値ゲートが実現されることを示している.

(2) ブールゲート回路

スイッチどうしの直列または並列接続で論理機能が生じる回路をブールゲート回路とよぶことにすれば, 理想回路モデルがブールゲート回路となる場合のあることを示す.

$z_0=1$ で $\theta_0=0$ のとき, および $z_0=0$ で $\theta_1=m$ のときは, それぞれ (30) 式, (32) 式から, J_θ を限りなく 0 に近づけることができる. このことは (30), (32) 式をそれぞれ,

$$\theta_1 > J_\theta / J_e > 0 \quad (37)$$

$$\theta_1 - \theta_0 > J_0/J_e > 0 \quad (38)$$

と変形すれば、 J_0 を一定値としておいて、 J_e を無限大に近づけることも解釈できる。図9(b)の回路は図10に示す等価回路で表わせるが、受動電流源の定電流値を無限大とすることは、図3から、導通となることとみなせるので、図10において $J_e \rightarrow \infty$ とすれば図11のようになる。図11はすなわち並列スイッチ接続のブールゲート回路である。図9(a)の回路についてもまったく同様である。表3に理想回路モデルがブールゲート回路となる場合を示す。ブールゲート回路となる場合は表1のブールゲートになる場合よりも少ない。

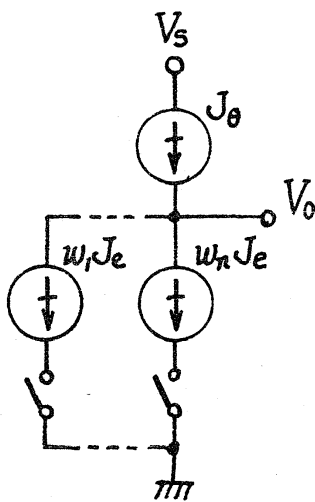


図10 N型素子を用いた理想回路モデルの部分等価回路

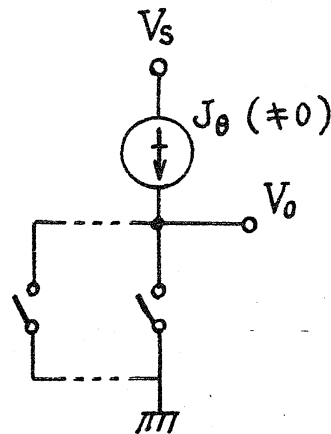


図11 左図において $J_e \rightarrow \infty$ とした回路

表3 ブールゲート回路となる場合

ゲート	z_1	z_2	z_3	z_0	θ_1, θ_0		
AND	1	0	1	z_1, z_2, z_3 が左の値 をとるとき $z_0 = 0$	$\theta_1 = m$ ($\theta_N = m_N - 0.5$)		
	0	1					
NAND	1	1	0			$z_0 = 1$	$\theta_0 = 0$ ($\theta_N = 0.5$)
	0	0					
OR	1	1	1	$z_0 = 1$	$\theta_0 = 0$ ($\theta_N = 0.5$)		
	0	0					
NOR	1	0	0			$z_0 = 1$	$\theta_0 = 0$ ($\theta_N = 0.5$)
	0	1					

5. 理想回路モデルの解析

理想回路モデルの解析にあたっては $z_0 = 1$ として計算を行なう。 $z_0 = 0$ の場合には、(27), (30), (32), および(1)式の性質から、 $z_0 = 1$ として得られた結果に対して、
 θ_1 を $m - \theta_0$, θ_0 を $m - \theta_1$, θ_N を $m_N - \theta_N$
 とおけばよい。

(1) 論理振幅と雑音余裕

論理振幅 V_L は

$$V_L = |V_{L1} - V_{L0}| \quad (39)$$

と定義される。

$$V_{L1} = V_S z_1, \quad V_{L0} = V_S \bar{z}_1 \quad (40a), (40b)$$

より,

$$V_L = V_S \quad (41)$$

となる.

V_L, V_{L0} に対する雑音余裕をそれぞれ V_{NM1}, V_{NM0} とすれば, (23) 式から, 明らかに,

$$V_{NM1} = V_{NM0} = V_S/2 \quad (42)$$

となる. (41), (42) 式から

$$V_{NM1} = V_{NM0} = V_L/2 \quad (43)$$

となる.

(2) 消費電力

図9において, 定常状態では

$$j_s = \sum_{i=1}^n j_i = \min(J_0, \sum_{i=1}^n J_i(x_i)) \quad (44)$$

となるから, 定常電力 P_S は

$$\begin{aligned} P_S &= V_S \times \min(J_0, \sum_{i=1}^n J_i(x_i)) \\ &= V_L (J_0 F + J_e \sum_{i=1}^n w_i x_i \tilde{F}) \end{aligned} \quad (45)$$

となる. P_S を $\sum_{i=1}^n w_i x_i$ の函数として図示すると図12のようになる.

平均電力消費はふつう衝撃係数50%のときの消費電力と定義されるが, (45)式と図12からわかるように, $\theta_0 = 0$ (このときはブールゲート回路となる) のとき以外は,

$F = 0$ において定常電力の値が一義的に定まらないため、衝撃係数 50% 時の消費電力の値も一義的に定まらず、その最小値を $P_{av\ min}$ 、最大値を $P_{av\ max}$ とすれば、

$$P_{av\ min} = V_L J_\theta / 2 \quad (46a)$$

$$P_{av\ max} = V_L (J_\theta + \theta_0 J_e) / 2 \quad (46b)$$

となる。したがって、ここでは平均電力消費 P_{AV} を

$$P_{AV} = (P_{av\ min} + P_{av\ max}) / 2 \quad (47)$$

と定義する。よって、

$$P_{AV} = V_L (J_\theta + \theta_0 J_e / 2) / 2 \quad (48)$$

となる。図13に消費電力と J_θ の関係を示す。

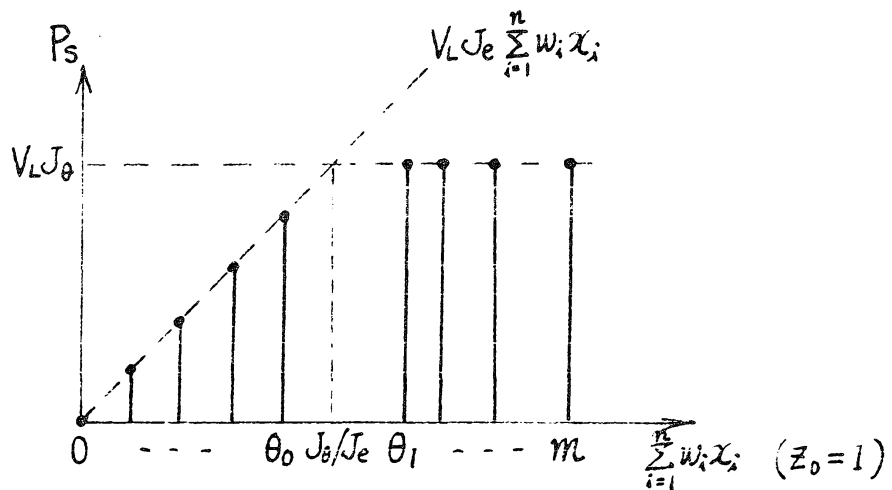


図12 定常電力 P_s

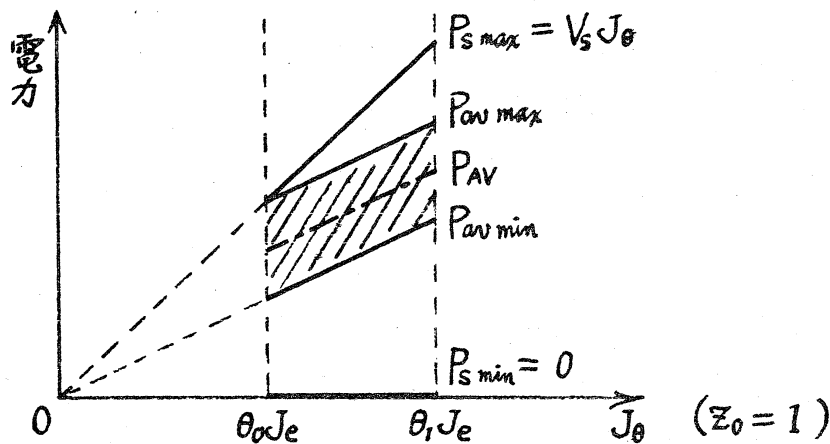


図13 消費電力

(3) 過渡特性

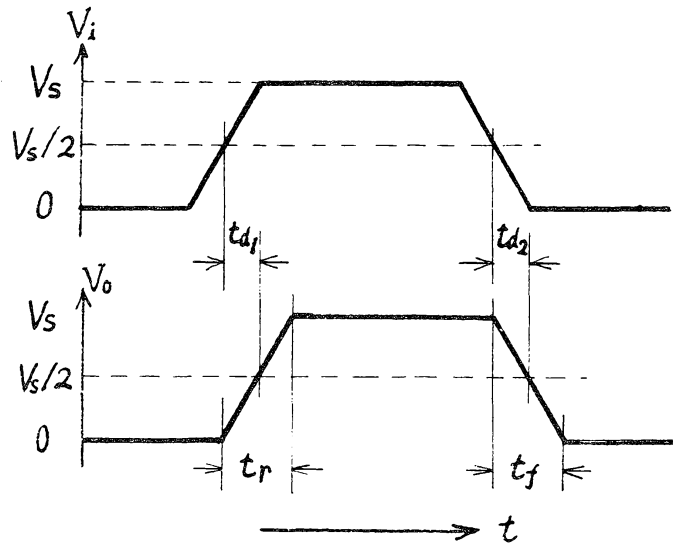
いき値ゲート回路のスイッチ時間を図14のように定義する。すなわち、図14に示すように、 t_r は出力電圧の上昇時間、 t_f は下降時間であり、 t_{d1} , t_{d2} はそれぞれ入力電圧上昇時、および下降時の遅延時間である。また、いき値ゲート回路を多段に縦続接続することを考え、伝播遅延時間 t_{pd} をつぎのように定義する。すなわち、ノーマルいき値ゲート回路では、

$$t_{pd} = \max(t_{d1}, t_{d2}) \quad (49)$$

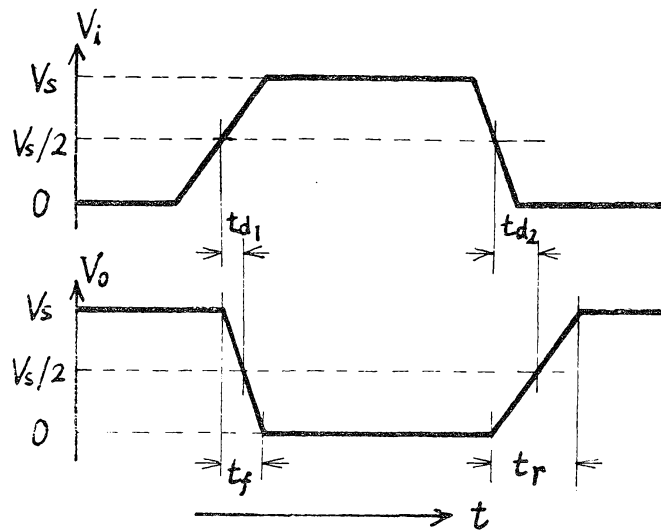
とし、Inverting いき値ゲート回路では

$$t_{pd} = (t_{d1} + t_{d2}) / 2 \quad (50)$$

とする。



(a) ノーマルいき値ゲート回路



(b) Inverting いき値ゲート回路

図14 スイッチ時間の定義

図9において、

$$C_L dV_o/dt = j_L (\ddot{z}_2 - z_2) = (j_s - \sum_{i=1}^n j_i) (\ddot{z}_2 - z_2) \quad (51)$$

であるから、 $0 < V_o < V_s$ のとき、

$$dV_0/dt = (J_0 - J_e \sum_{i=1}^n w_i x_i) (\tilde{z}_2 - z_2) / C_L \quad (52)$$

となる。 $dV_0/dt > 0$ となるのは $z_2 = 0$ で $J_0 > J_e \sum_{i=1}^n w_i x_i$ のとき、または、 $z_2 = 1$ で $J_0 < J_e \sum_{i=1}^n w_i x_i$ のときである。

よって、(30)式から、 $F z_2 + \tilde{F} \tilde{z}_2 = 1$ のとき dV_0/dt は正となり、逆に、 $F z_2 + \tilde{F} \tilde{z}_2 = 0$ のときは dV_0/dt は負となる。よって、 t_r , t_f は次式で求められる。

$$t_r(F z_2 + \tilde{F} \tilde{z}_2) - t_f(F \tilde{z}_2 + \tilde{F} z_2) = \frac{C_L V_L (\tilde{z}_2 - z_2)}{J_0 - J_e \sum_{i=1}^n w_i x_i} \quad (53)$$

t_{d1} , t_{d2} は理想回路モデルでは

$$t_{d1} = (t_f/2) \tilde{z}_3 + (t_r/2) z_3 \quad (54a)$$

$$t_{d2} = (t_r/2) \tilde{z}_3 + (t_f/2) z_3 \quad (54b)$$

となる。

(53)式に示されるように t_r , t_f の値は $\sum_{i=1}^n w_i x_i$ の関数となるから、 t_{pd} も $\sum_{i=1}^n w_i x_i$ の値に依存するが、確実な動作を保証するためにはその最大値を知ればよい。よって、 x_i の値を変化させた時の t_{pd} の最大値を \bar{t}_{pd} とすれば、ノーマルゲート回路では

$$\bar{t}_{pd} = C_L V_L \left[\max(1/(J_0 - \theta_0 J_e), 1/(\theta_1 J_e - J_0)) \right] / 2 \quad (55)$$

となる。また、Inverting ゲート回路では

$$\bar{t}_{pd} = C_L V_L (1/(J_0 - \theta_0 J_e) + 1/(\theta_1 J_e - J_0)) / 4 \quad (56)$$

となる。(55), (56) 式を図示したものが図15である。

J_θ の変化に対して \bar{t}_{pd} が最小となるのは,

$$J_\theta = J_{\theta M} = (\theta_1 + \theta_0) J_e / 2 \quad (57)$$

のときで, 最小値 $(\bar{t}_{pd})_{min}$ は

$$(\bar{t}_{pd})_{min} = C_L V_L / (\theta_1 - \theta_0) J_e \quad (58)$$

となる。

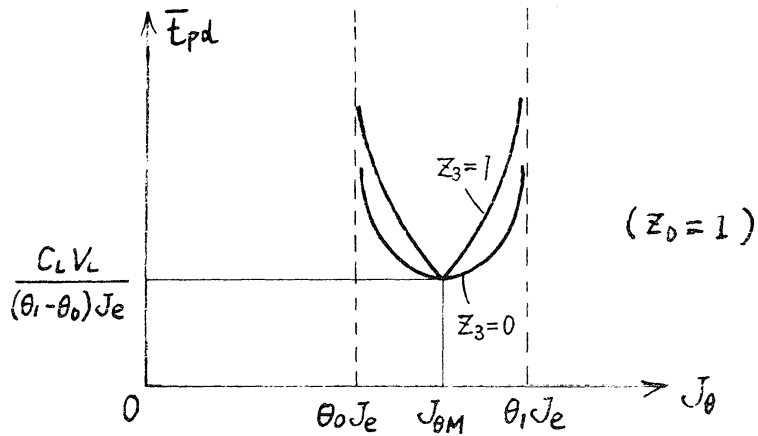


図15 伝播遅延時間

(4) 平均電力消費・伝播遅延時間積

J_θ を変化したときの $P_{AV} \cdot \bar{t}_{pd}$ の最小値を $(P_{AV} \cdot \bar{t}_{pd})_{min}$ とし, そのときの J_θ の値を J_θ^* とする。

ノーマルゲート回路では, (48), (55) 式から,

$$P_{AV} \cdot \bar{t}_{pd} = C_L V_L^2 (J_\theta + \theta_0 J_e / 2) \times \max \{ 1 / (J_\theta - \theta_0 J_e), 1 / (\theta_1 J_e - J_\theta) \} / 4 \quad (59)$$

となる。

$J_\theta > J_{\theta M}$ のとき $d(P_{AV} \cdot \bar{E}_{pd})/dJ_\theta > 0$ となり, $J_\theta < J_{\theta M}$ のときは $\theta_0 \neq 0$ で $d(P_{AV} \cdot \bar{E}_{pd})/dJ_\theta < 0$ となり, $\theta_0 = 0$ では $d(P_{AV} \cdot \bar{E}_{pd})/dJ_\theta = 0$ となる. よって, $\theta_0 \neq 0$ では

$$J_\theta^* = J_{\theta M} = (\theta_1 + \theta_0) J_e / 2 \quad (60)$$

となり, $\theta_0 = 0$ では

$$0 < J_\theta^* \leq J_{\theta M} \quad (61)$$

となる. よって, $(P_{AV} \cdot \bar{E}_{pd})_{\min} = (P_{AV} \cdot \bar{E}_{pd})_{J_\theta = J_{\theta M}}$ から,

$$(P_{AV} \cdot \bar{E}_{pd})_{\min} = C_L V_L^2 (6\theta_N - 1) / 8 \quad (62)$$

が得られる.

Inverting T-ト回路では, (48), (56) 式から,

$$P_{AV} \cdot \bar{E}_{pd} = C_L V_L^2 (J_\theta + \theta_0 J_e / 2) \times \left\{ 1 / (J_\theta - \theta_0 J_e) + 1 / (\theta_1 J_e - J_\theta) \right\} / 8 \quad (63)$$

となる. $d(P_{AV} \cdot \bar{E}_{pd})/dJ_\theta = 0$ とおくことにより,

$$J_\theta^* = (\sqrt{3(2\theta_1 + \theta_0)\theta_0} - \theta_0) J_e / 2, \quad (64)$$

$$(P_{AV} \cdot \bar{E}_{pd})_{\min} = C_L V_L^2 (6\theta_N - 1 + \sqrt{(6\theta_N - 1)^2 - 4}) / 16 \quad (65)$$

が求まる.

$m_N = 5$ とし, (62), (65) 式を図示したものが図16である. 図16では $\varepsilon_0 = 0$ についても合わせて図示

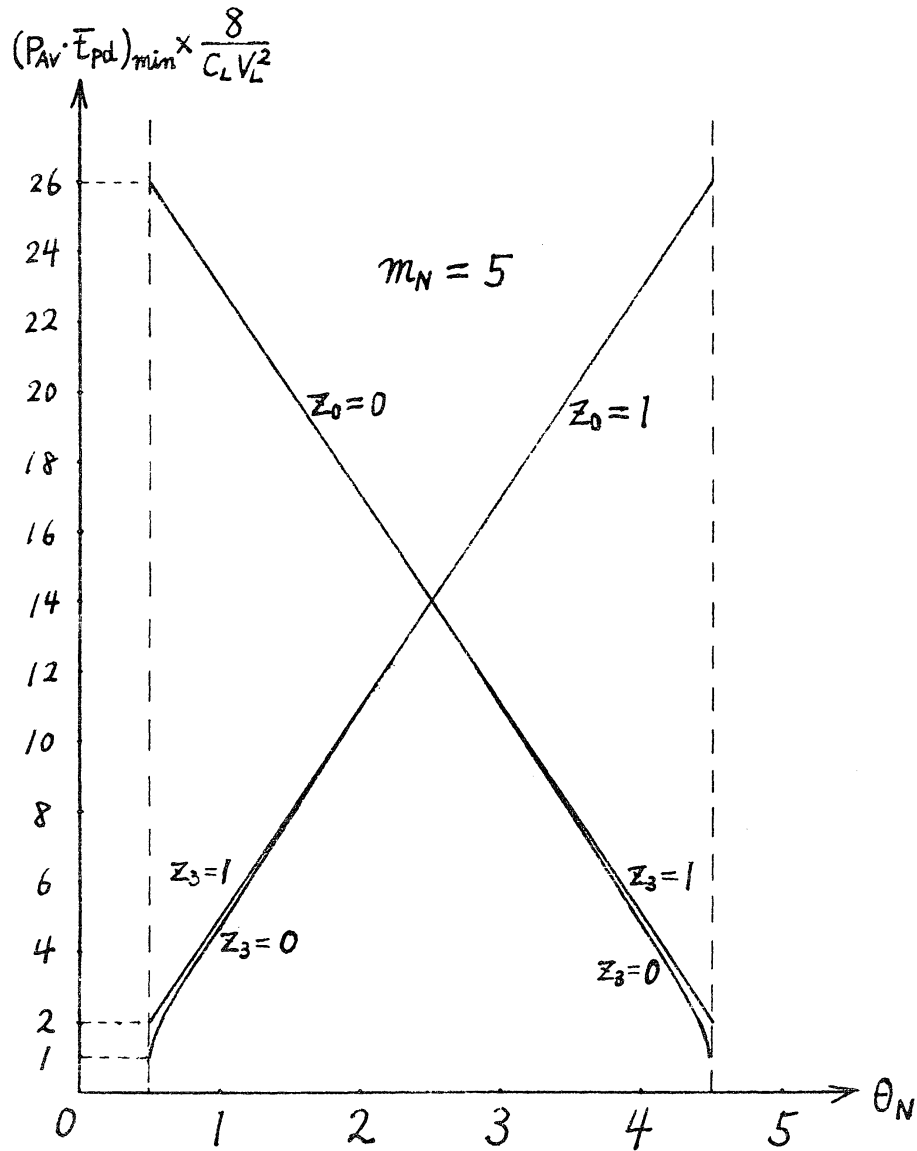


図16 $(P_{Av} \cdot \bar{E}_{pd})_{min}$ と θ_N の関係

してある。図16と表3を見ると、ブールゲート回路となる場合に $(P_{Av} \cdot \bar{E}_{pd})_{min}$ が最小値をとることがわかる。このときの $(P_{Av} \cdot \bar{E}_{pd})_{min}$ の値は Inverting ゲート回路ではノーマルゲート回路の2分の1となっている。一方、ブールゲート

であって、ブールゲート回路でない場合は $(P_{AV} \cdot \bar{t}_{pd})_{min}$ の値が最大となり、もっとも不利な回路実現といえる。その他の場合、すなわち、 $m_N - 0.5 > \theta_N > 0.5$ のときは、入力変数の縮退したブールゲートとなる場合をのぞけば、同じ論理関数を実現するのにブールゲートでは2個以上が必要である。このとき、複数個のブールゲート回路の組合せと一個のいき値ゲート回路のいずれが有利かは、 C_L の評価もからむため、一概には言えない。

6. むすび

いき値ゲートの理想的一回路モデルについて解析を行ない、論理機能と回路特性の関係を求めた。また、ブールゲート回路との関係を考察した。その結果、理想回路モデルでは、いき値ゲート回路のブールゲートにない論理機能はブールゲート回路よりも高い消費電力・伝播遅延時間積の代償によって得られることがわかった。しかし、理想回路モデルと実際の回路との対応を考えると、素子値の変動に対する回路特性の変化や、回路素子自体の遅れの影響、さらに、他の回路形式ではどうなるかなど、残された問題は多い。

文献

- (1) R.O. Winder : "The status of threshold logic",
RCA Rev., vol. 30, no. 1, pp 62-84 (March 1969).
- (2) D.K. Lynn, 他編, 小田川, 他訳 : "集積回路の解析と設計",
p. 143, 近代科学社 (昭44).
- (3) P.M. Lewis II and C.L. Coates : "Threshold logic",
p. 15, John Wiley & Sons, Inc. (1967).