

正帰還形多値多レモイ値論理ゲートの構成

日大理工電子 涌井文雄

田中正一

1 はしがき

L S I 化への微細加工技術の飛達は、MOS 及び Bipolar の gate 幅及び Base 幅を理論極少規模に近づけるのみでなく、C D トランスバーサル方式のようなディスクリートアナログ信号に適した論理デバイスを発展させている。更に回路技術の進歩によって、アナログ回路の L S I 化も可能になるといわれる⁽¹⁾。いずれにしても高速演算を実行するには高密度 L S I 素子のスピードが速いことと、高速形論理設計を行うことであると考えられる。

新しい高速形論理設計手法については幾つかの報告^(2,3)があるが、特に多値多レモイ論理の適用は回路の実効片との関係からも興味あるアプローチといえる。

多値多レモイ値回路網の構成については A. Druzeta⁽⁴⁾らの構成手法と石塚氏⁽⁵⁾による分解合成モデルが挙げられる。本稿で、

の正帰還モデルでは両者の構成手法と筆者らの提案する反作用デバイス(PRD)との組み合わせによる動作特性をフラットボードテストを中心として論じている。FETレギュレート回路網の構成に対しては次の二つの新しい構成法を導入している。

①セル出力の並列結線はゲートの実効分を低下させる(特にセル数が多いとき)ことから、セル出力の縦続結線による多値ゲート回路(MVG)を提案している。更に、MVGによる回路網がスイッチングスピードの低下を最少限にとどめられることを示している。

②ゲート回路網中での消費電力は電流源の数に比例して増大するが、セル出力を相補縦続形ゲート(M/2)とすると、電流源の数は $\frac{1}{2}$ となり消費電力を低下させることができる。

ここで筆者らの提案する回路網は、新たなしきい値を持つ回路網の構成法であるが、正帰還を加えることで、セルの理想化が計られ、実用レベルの高い雑音余裕を与えることも可能である。

2. 回路素子のモデル化と電子回路モデルによるゲート回路網の構成

(1) 回路素子とモデル化

本正帰還モデルで使用される具体的な電子回路デバイスを図1に示す。図中ダイオードD, 及びその並列トランジスタの

非ブレイクダウン条件を満足するためのものである。このECLスイッチでは Tr_1, Tr_2, D_1, D_2 の特性により電流切換に際し入力電圧 e_v に定まる、正励振が必要で e_v をせい幅 e_w といい、この伝達特性を図2に示す。これを回路モデルの理想化と呼び、図3で示す記号で表わす。

今入力電圧 e_v が $e_2 - \frac{1}{2}e_w$ より低いとすると、 Tr_2 及び D_2 は共に導通であり電圧 e_o は式(1)で表わす。全ての素子の不飽和条件が満足されるものとする。

$$e_o = e_2 - \phi_c - \phi_d$$

$$\ni e_2 - 2\phi_d \geq e_s \quad (1)$$

但し、 ϕ_c, ϕ_d : Tr のベース-エミッタ電圧及びダイオードの順方向電圧降下

e_s : 電流源 J の最小不飽和コレクタ電圧

(2) 多値ゲート回路の構成法と特徴

図4は多値ゲート回路の最も単純な構成と一般的伝達特

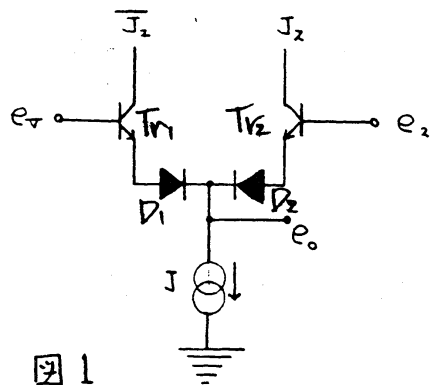


図1

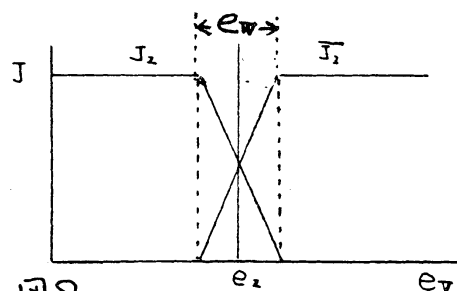


図2

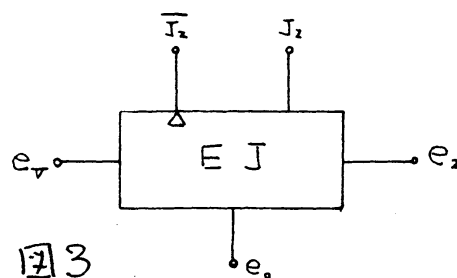


図3

性を示してゐる。図4(a)の C_1, C_2, \dots, C_i は入力 e_V の抑止であり、式(2)で示すような product をダイオードゲートで実行する。

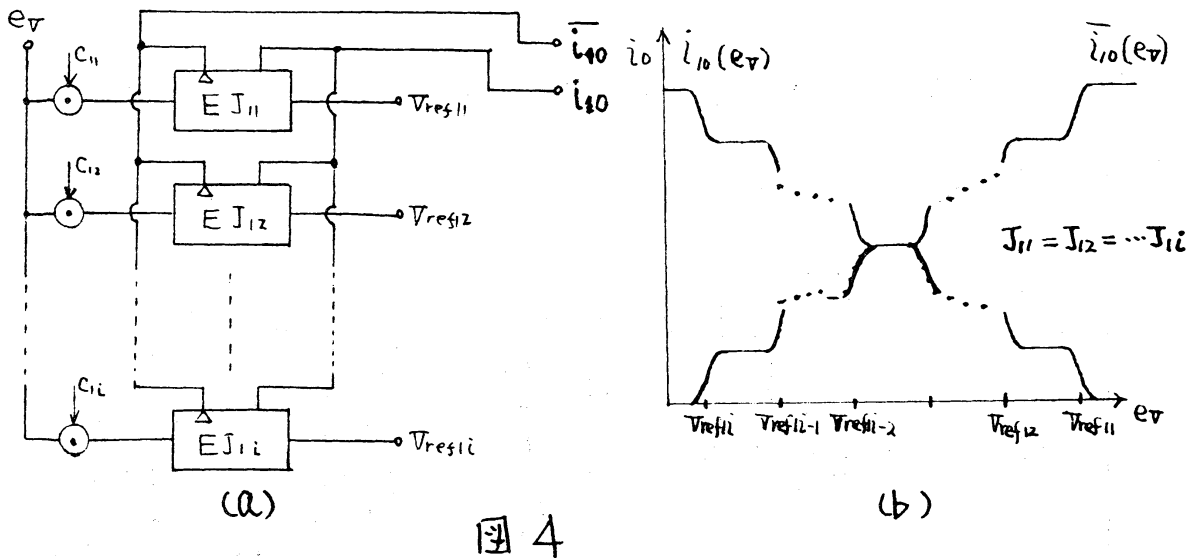


図4

$$\text{積: } \alpha \cdot C_i = \min \{ \alpha, C_i \} \quad (2)$$

ニニテ単位関数 $\mu(P)$ を

$$\mu(P) = \begin{cases} 1 & P > 0 \\ 0 & P < 0 \end{cases} \quad (3)$$

と定義する。(14) 図4から $\overline{I_{10}(e_V)} = \sum_{j=1}^i J_{1j} - J_{10}(e_V)$ であり、単位関数で

$$\begin{aligned} \overline{I_{10}(e_V)} = & J_{11} C_{11} \cdot \mu(e_V - V_{ref11}) + J_{12} C_{12} \cdot \mu(e_V - V_{ref12}) \\ & + \dots + J_{1i} C_{1i} \cdot \mu(e_V - V_{ref1i}) \end{aligned} \quad (4)$$

表わす式(4)を得る。

抑止入力 C_1, C_2, \dots, C_i は論理値1で全てのセルが入力 e_V より定めらる動作を行うが、この電圧レベルは対応する比

較電圧 $V_{res i}$ 及び入力許容電圧 $(e_v)_{max}$ より高いとす。又論理値 0 に対応する電圧レベルは式 (1) から $e_s + \phi_d$ 以下であれば十分である。

更に比較電圧 $V_{res 11}, V_{res 12}, \dots, V_{res i}$ は図 5 (c) の n 個の基準電圧によって供給される。

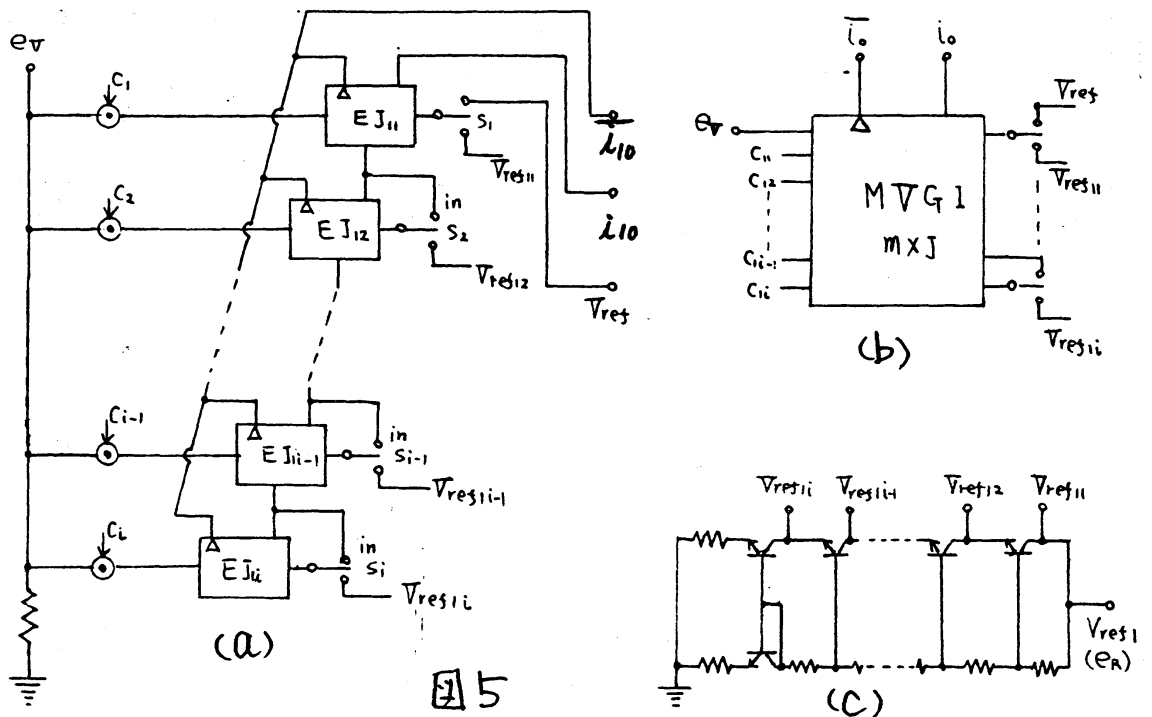


図 5

図 5 は ECL の同相出力 i_{10} に関して縦続結線であるといひ、逆相出力 \bar{i}_{10} に対しては並列結線と訂正する。この場合も図 4 (b) と同様、静特性を示すが、 i_{10} に対しては常に EJ_1 の出力容量 C_{ob} の 1 個分であり、実効値の低下は少く、特に V_{res} の値数の多い場合に有効である。又、本符号ゲートの記号を同図 (b) で示す。

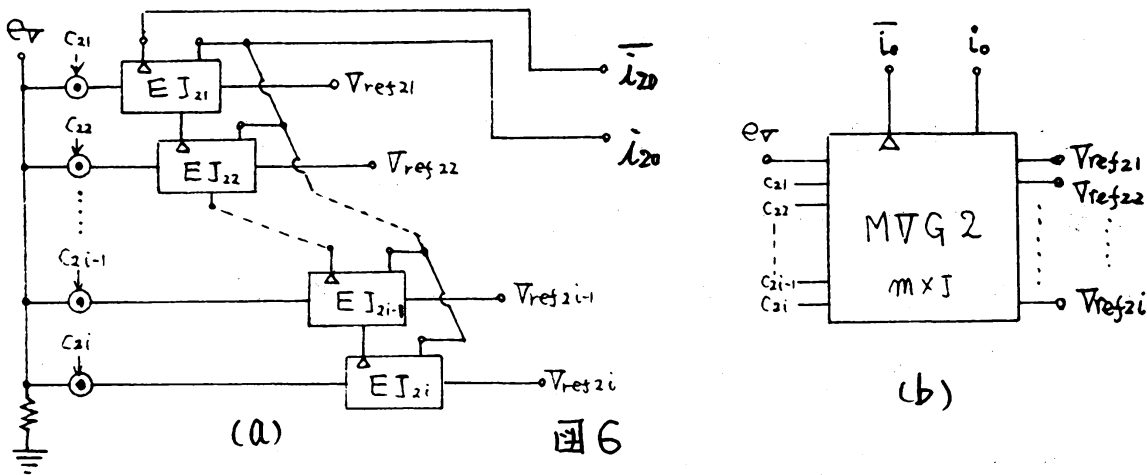
この MVGI の比較電圧 ($V_{res 11}, V_{res 12}, \dots, V_{res i}$) はスイッチ

($S_{11}, S_{12}, \dots, S_{1i}$)を N 個とすると回路内部に複数の比較電圧が定まる。 i 段目の比較電圧 V_{ref1i} (式(5)と同じ) 外部の i 個の基準

$$V_{ref1i} = V_{ref1} - (\phi_d + \phi_c)g \quad (5)$$

電源は不用である。

次に図6の回路は逆相出力 \bar{i}_{20} に関する縦続結線であるといふ。この場合には外部の i 個の基準電源を必要とする。又同図(b)にこの記号を示す。



(3) 相補縦続形結線による i 個回路の構成

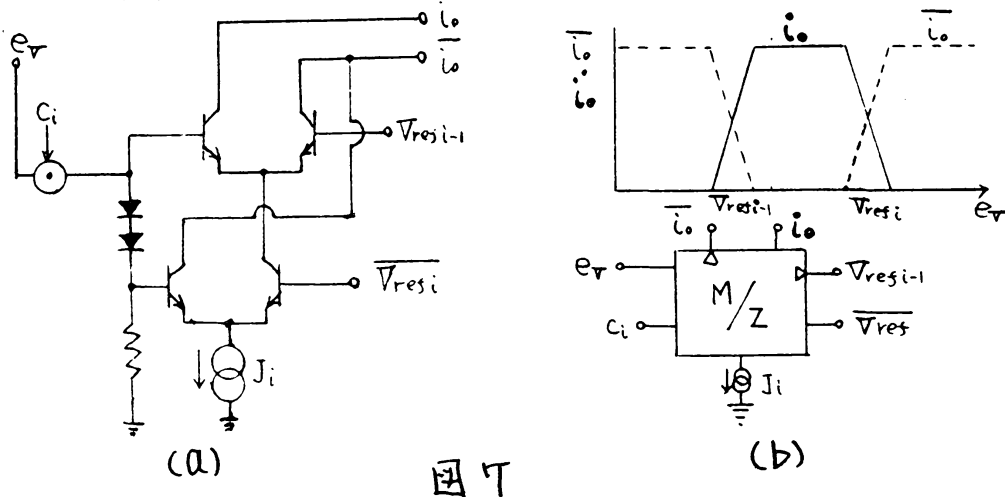


図7の出力 i_0 に関する相補縦続結線による i 個回路と

呼ぶ。このような接続に付しては全ての能動素子の不飽和領域の中で構成されるべきであることに注意を要する。ここで出力 $I_0(e_D)$ については式(4)と同様に表わされる。

$$i_0(e_D) = J_i \times \min \left[C_i, \max \left\{ \mu(e_D - V_{refi}) \cdot \bar{\mu}(e_D - V_{refi-1}), \bar{\mu}(e_D - V_{refi}) \cdot \mu(e_D - V_{refi-1}) \right\} \right] \quad (7)$$

又、電流源は ECL の相補縦続接続によって $1/2$ の数により実現されている。

(4) 74レキイ値回路の構成 (6.7)

従来の74レキイ値回路の基本的構成手法は単位関数を構成する ECL 素子から直接的に行われる。そして図4で示す基準電圧 $(V_{ref11}, V_{ref12}, \dots, V_{ref1i})$ と並列接続による出力 i_{10} 又は \bar{i}_{10} を持つ74値ゲートと適当なレベルツフト電圧 $(V_{\phi 1}, V_{\phi 2}, \dots, V_{\phi i})$ を有する反転74値ゲートによって図8で示す74レキイ値回路が構成される。そして、出力 I_f は式(4)から

$$\begin{aligned} i_f &= \overline{i_{10}(e_D)} + i_{20}(e_D) \\ &= \sum_{g=1}^i J_{2g} + J_{11} C_{11} \cdot \mu(e_D - V_{ref11}) - J_{21} C_{21} \cdot \mu(e_D - V_{ref21}) \\ &\quad \vdots \\ &\quad + J_{1i} C_{1i} \cdot \mu(e_D - V_{ref1i}) - J_{2i} C_{2i} \cdot \mu(e_D - V_{ref2i}) \end{aligned} \quad (8)$$

ここで、 $J_{11} = J_{21} = \dots = J_{1i} = J_{2i}$, $C_{11} = C_{21}$, $C_{12} = C_{22}$, \dots , $C_{1i} = C_{2i}$

とすると

$$I_f = \sum_{g=1}^i J_{2g} + J_{11} \left\{ C_{11} \left[\mu(e_D - V_{ref11}) - \mu(e_D - V_{ref21}) \right] \right\}$$

- (8)'

$$+ C_{i2} \left\{ u(e_v - V_{refi}) - u(e_v - V_{ref2i}) \right\}$$

$$T = T_0 V, V_{ref2q} = V_{ref1q} - V_{\phi q}, V_{\phi q} = (V_{ref1q-1} - V_{ref1q}) / 2.$$

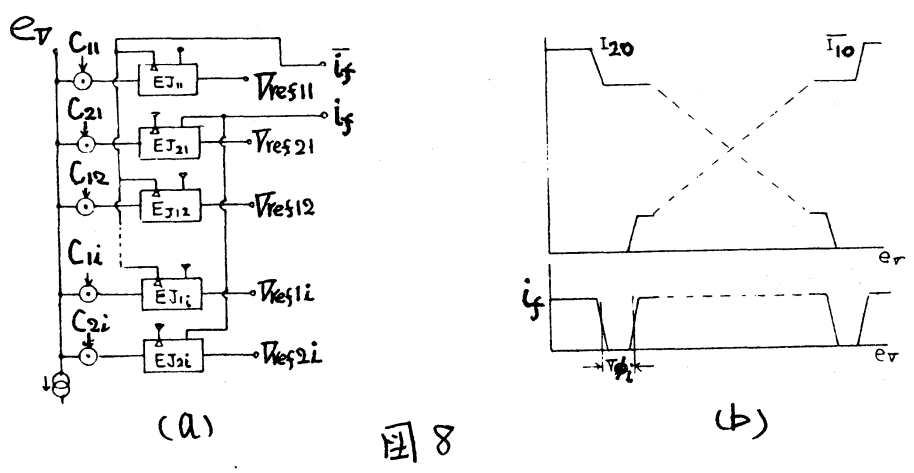


図 8

式(8)の第1項は入力に独立したオフセットであり、抑止入力 C_q を加えた場合、 C_q 以後の項成分に打ち上りオフセットは更に増減する。このことから式(8)'への移行は全々の抑止入力に打ち上り安定なオフセット項を与えている。この場合の入出力特性を図8bに示す。

次に筆者の構成した縦続結線形多値ゲート回路による多値ロジック回路の構成例を説明する。図9は同一種類の多値ゲート(MDGL)の2回路を併用し、その入出力を相補結線とし出力(i_f 及び \bar{i}_f)を得ている。この構成法では縦続結線による出力 i_o と並列結線による出力 \bar{i}_o の並列出力(i_f 及び \bar{i}_f)となり、トランジスタのベース-エレクトロ容量を C_{ob} とするとき図8の構成と比較して多値ゲート回路の出力容量の低下率 K_1 は $K_1 = (i+1)/2i$ -(9)

とある。そして比較電圧の選択については、切換スイッチ $S_{11}, \dots, S_{1i}, S_{21}, \dots, S_{2i}$ を IN 側とすなわ k より供給する比較電圧は、

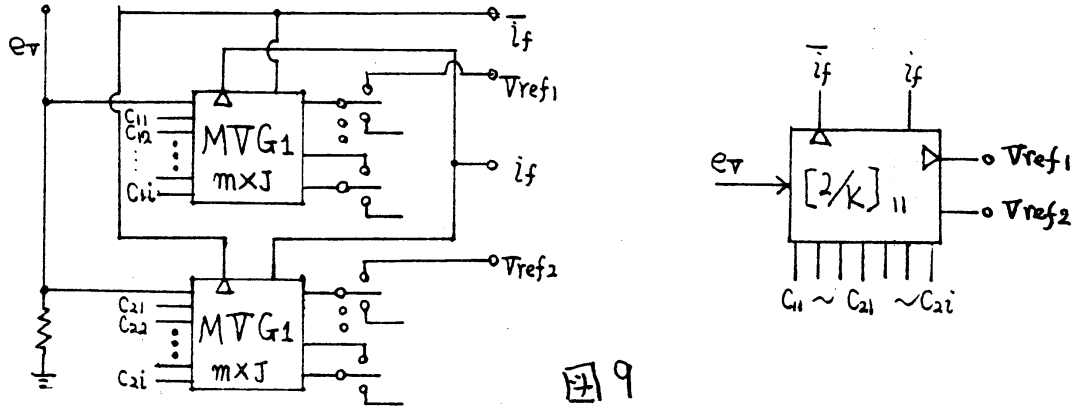


図9

回路内部で得られる。又、外部比較電圧 V_{ref1} 及び V_{ref2} は式(10)で示される。

$$V_{ref2} = V_{ref1} - \phi_d \quad (10)$$

図10の回路構成は2種類の多値ゲート(MTG1及びMTG2)により、相補結線して出力 (i_f 及び \bar{i}_f) を得ている。この場合の出力容量の低下率 k_2 は出力 \bar{i}_f に対しては1であり、又出力 i_f に対しては式(11)で示される。

$$(k_2)i_f = 1/i \quad (11)$$

そして比較電圧に対しては全て外部より供給するが、又はMTG1のみを内部設定するかの2通りがある。

図11は、同一種類の多値ゲート(MTG)を2回路で構成し、縦続結線出力のみの出力 i_f と並列結線出力 \bar{i}_f を得る回路構成である。この場合入力 e_v は厳密に位相反転回路(正負の重みを持つ荷重回路)が必要となるが、具体的には電子回路構成例として

これは A, Druzeta⁽⁴⁾ の報告が挙げられる。

比較電圧の設定については図9の場合と同様であり、又出力容量の低下率 k_3 は図10の構成と同様である。

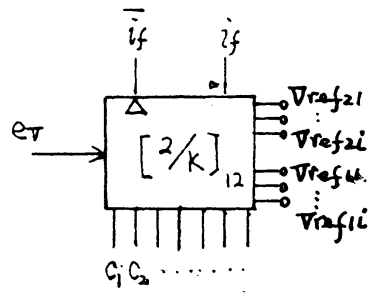
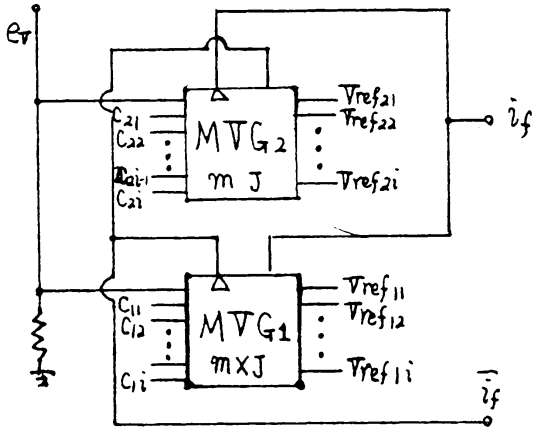


図10

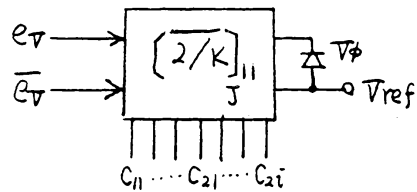
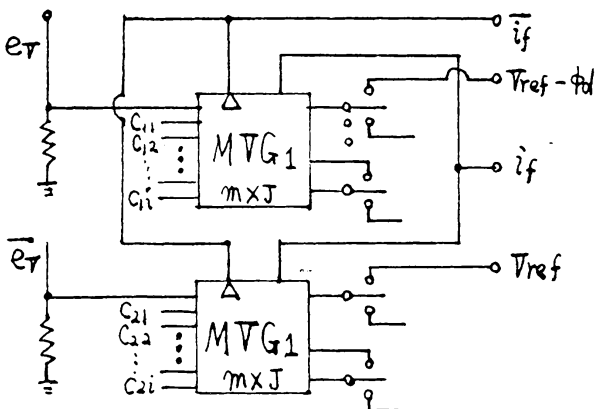


図11

図12は、相補縦続形結線によるしきい値回路により得られるしきい値回路へ拡張した構成法である。本構成法における最大の特徴は同一のしきい値数を有する他の回路構成と比較し、電流源の数が半分であることである。更に、出力に対して

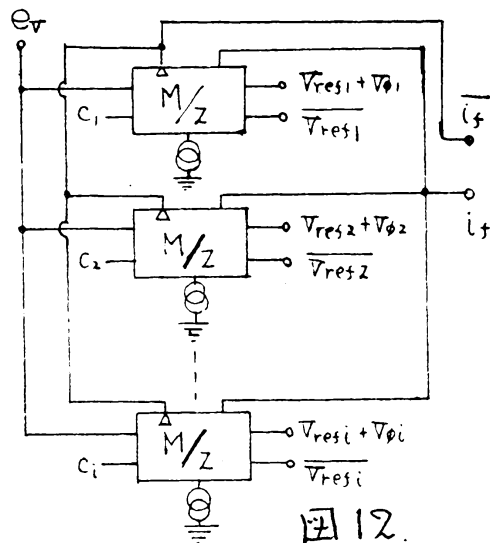


図12

しては出力の並列結線法と比較して出力容量の低下率は50%と示す。

(5) 試作回路による各種ゲート回路のパルス応答の比較
 前節で述べた多値ゲート回路及び多しき値回路の性能(遅延時間 t_{dr} , 立上り時間 t_r , 及び立下り時間 t_f)を試作回路により説明する。一般にこのような議論は電荷制御モデルによる節点方程式の解により進められ、今後厳密な性能を求めるには非線形計算による解析を必要とする。ここでは各種の試作回路の測定結果による比較を示す。

次に試作回路で使用したラジスタTr及びダイオードDは全て同一素子とし、下記に示す。

Tr... ZSC1216

$[R_{FE} 100, f_T 500\text{MHz}, C_{ob} 3\text{pF}]$

D... 1S1588

又、各電流源($J_1 = J_2 = \dots = J_5$)は 1.8mA とし、負荷抵抗 R_L は 510Ω とし、 $\dots = V_{\phi 5} = \phi_d$ とした。

多値ゲート	t_{dr}	t_r	t_{of}	t_f	備考
並列形 MVG ₆	8	50	10	45	6 ↔ 5
MVG ₄	i_1	4	20	10	Pulse 幅 0.6 [V] $R_L = 510[\Omega]$
	i_1	20	40	10	

図13 単位[mS]

多しき値回路	t_{dr}	t_r	t_{of}	t_f	備考
並列形 MVG ₂	8	150	15	130	pulse 幅 0.6 [V] しきい値
$[B_k]_{12} i_1$	8	20	8	22	
$[B_k]_{11} i_1$	8	100	8	100	$R_L = 510$ [Ω]
$[B_k]_{cc}^{*2} i_1$	20	45	10	60	

図14 単位[mS]

図13は6値ゲート回路のパルス応答特性に対する比較を示したものである。並列形多値ゲートMVGのノーマル(同相)

出力に對し、縦続形結線の多値ゲート M D G I のノーマル出力からは 2 ~ 2.5 倍のスイッチングスピードであることが示されている。又、インバート (逆相) 出力に對しては M D G と同程度で応答している。更に図 13 は基数 6 と 5 領域内の特性であるが (0 ~ 6) 領域内のパルス応答に對しての M D G I のノーマル出力 (M D G のインバート出力と同等) の入出力特性を図 15 に示す。

図 15 は負荷抵抗 200 Ω のときのパルス応答であるが、同一条件下での (6 - 5) 領域内のスイッチング時間に比較して減少を示し、良好な結果を得ている。

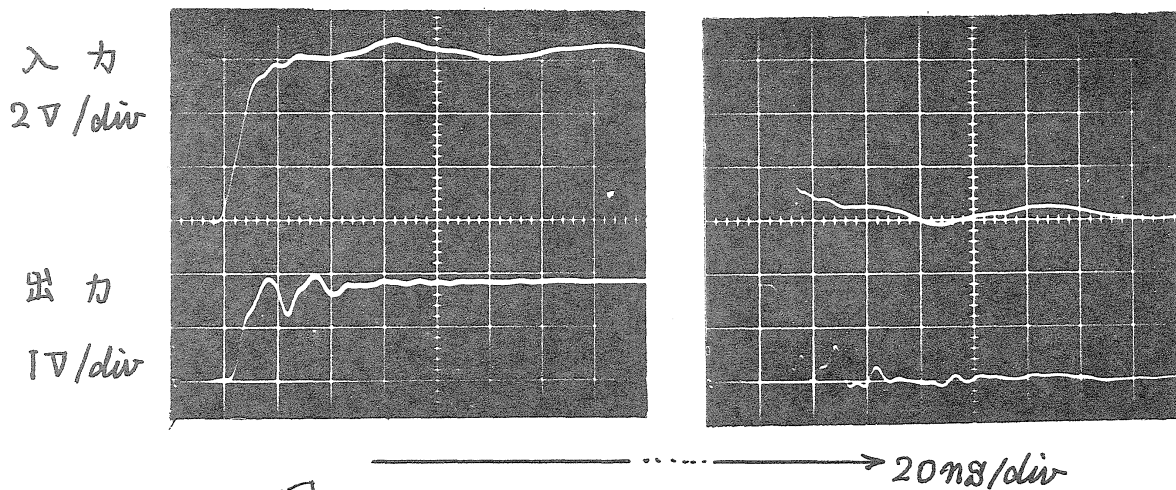


図 15

図 14 はレギュレーション値数 10 と 5 のパルス応答特性を示したものである。並列形結線 M D G を構成した場合に比較して 4 ~ 5.5 倍のスイッチング時間の減少を示し、良好な結果を得ている。

* 1.2 : 相補縦続形結線の電流源は $J_1 = J_2 = \dots = J_5 = 1.2 \text{ mA}$ である。

ニの測定結果は式(9)及び式(11)とよく一致する傾向を示しており、その効果が現れているものと考えらる。

3. 正帰還モデルを履行可能な反作用形電子回路デバイス

74(2)値74レミイ値回路の具体的電子回路による実現は電流モード、又は電圧モードと電流モードの混合モードで構成される。本小文ではECLを使用する混合モードに対し正帰還形の具体的回路実現を行っている。として前章において、ECL出力の並列結線は74値ゲート及び74レミイ値回路の刷新を低下させていることを示した。これは回路の $g_m R_L$ が小さくなるほど出力容量の影響はより顕著となる。従って、正帰還形を実現する反作用電子回路デバイス(以後PRDと呼ぶ)の構成に対し配慮すべきことは、ゲート出力端子における $g_m R_L$ を極力小さくすることである。

次に各種のゲート回路(74値ゲート及び74(2)値74レミイ値回路)とのマッチングが重要である。とこの図16(a)及び(b)を示す特性を備えた2種類のPRDを定義する。同図(a)はアナログ形

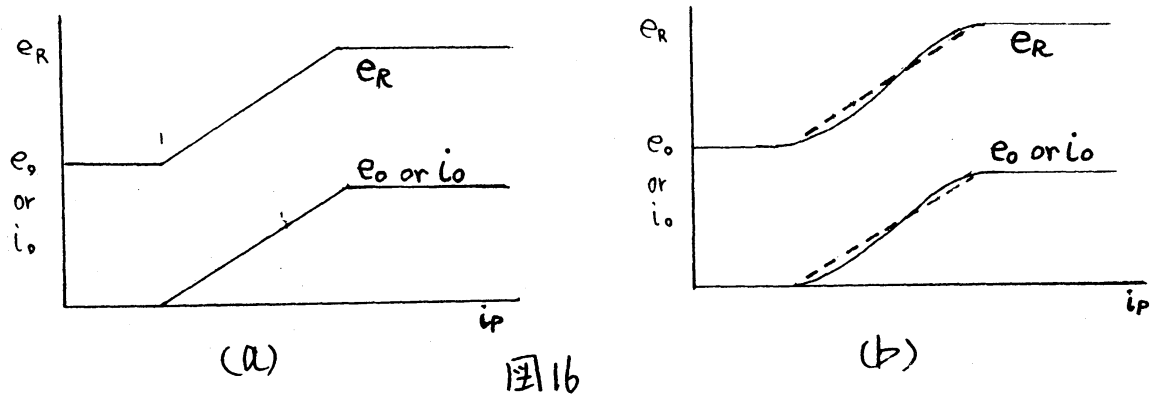


図16

PRDと叫び、多値ゲート又は多値多しきい値回路等と使用される。次に同図(b)はデジタル形PRDと叫び2値多しきい値回路に使用される。

(1) 理想化モデルによるループ利得の算出

多値又は多(2)値多しきい値回路とPRDによるスイッチング条件はループ利得が1以上に設計されることによつて生ずる。そこでPRDの特性を理想化し図16(b)の点線を示す。これと動作領域内での作用量 α_R 、及び図2の J_2 と e_w の作用量 α_c をきいせし式(12)を示す。

$$\alpha_R = \Delta e_R / \Delta i_P, \quad \alpha_c = \Delta e_V / \Delta J_2 \quad (12)$$

次に、ゲート回路を受動電流 $J(V)$ 、PRDのバイアス抵抗を Z_0 、更にPRD受動電圧源 $V(i_P)$ で表わすと図17で示される。同図(b)のA点開放としてループ利得 G を求めると式(13)となる。

$$G = \frac{J(V) + V(i_P)/Z_0}{i_P} = \left(\frac{1}{\alpha_c} + \frac{1}{Z_0} \right) \alpha_R \quad (13)$$

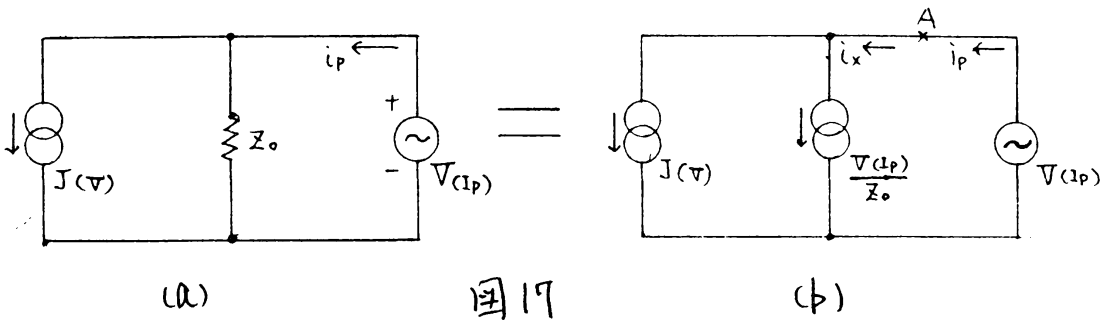


図17

(2) 反作用モデルの具体的電子回路による構成法

図18にアナログ形PRDの具体的電子回路例を示す。同図はA. Druzeta⁽⁴⁾らによって構成されたカレントミラーを応用した回路例であり、PRDの駆動電流 i_p に対する反作用電圧 e_R 及び出力電流 i_o の直線性が高く、 i_p に多値入力を加えたときの分解能が大まくと小なる。として図中の抵抗 R は式(12)の定義によって電流源 J によって定めらる $(e_R)_{max} = \alpha_R J$ である。

図19は補形トランジスタにより構成された準アナログ動作を行う回路例である。即ち入力 i_p に対して出力電圧 e_o は直線性は高いが、反作用電圧 e_R はデジタル形に近い特性を示す。回路の特徴としては T_n が T_p 共通ベースとして働くためゲートの負荷インピーダンスとして低く、又、入力端子 i_p に反作

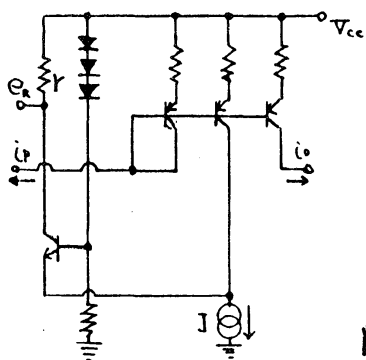


図18

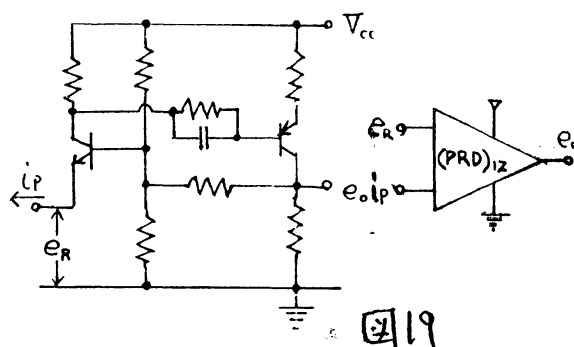


図19

用電圧 e_R が生ずるため、帰還回路を構成したとき最もツェンフル特性結線となる。

図20の回路はデジタル形PRDである。トランジスタ T_n は共通ベース結線であり、PRDの入力インピーダンスが低く

回路の遮断周波数は極めて高い。又回路設計も簡単でありIC化可能である。

図14で示した下対しをい値回路の正帰還モデルを実現するには図18~図20の構成のみでは不十分である。入力 i_P に

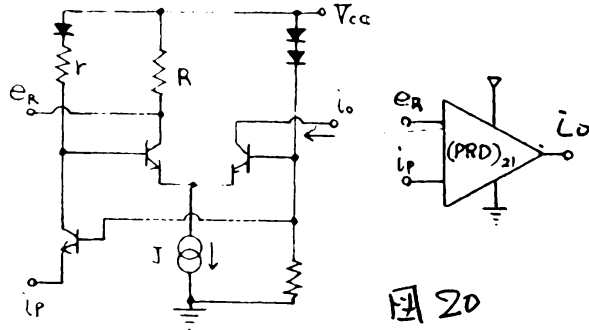


図20

対しノーマル(同相)反作用電圧 e_R とインバート(逆相)反作用電圧 \bar{e}_R を同時に得る回路が必要であり、この回路例と静特性及びその記号を図21に示す。

(3) PRDの多値回路への応用例

図22は多値ゲート(MVG1又はMVG2)とアナログ形PRDとによる正帰還モデルの動作説明図である。ここで、各段目のECLの電流源 J_g の \bar{e}_R と対応する

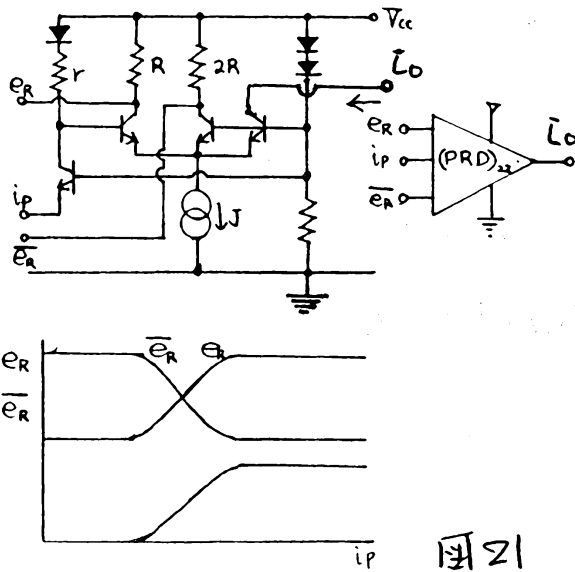


図21

PRDの反作用電圧を \bar{e}_R とすると、多値ゲートは破線で見せる \bar{e}_R の履歴特性を持つこととなる。そしてこの具体的応用回路として図23(a)と(b)を示す。同図(c)は多値ラインレブバ一であり、その雑音余裕及び量子化誤差は Z_0 及び R によって

調整される。

同図(b)は又
重帰還形多安定回路を構成
した場合を示
す。

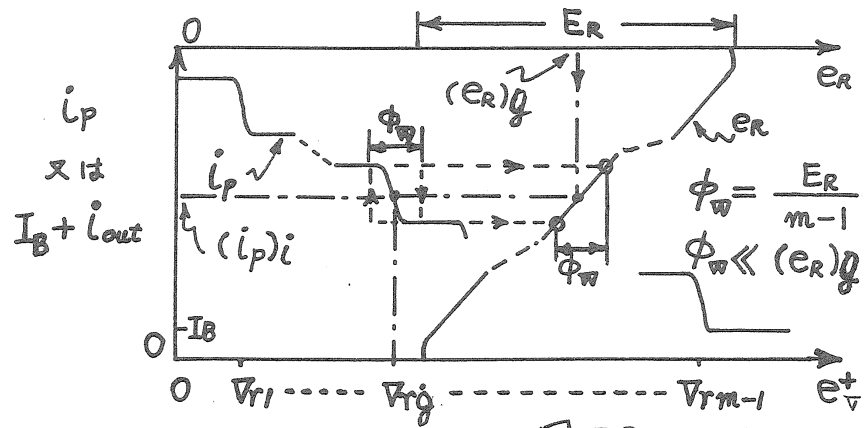


図22

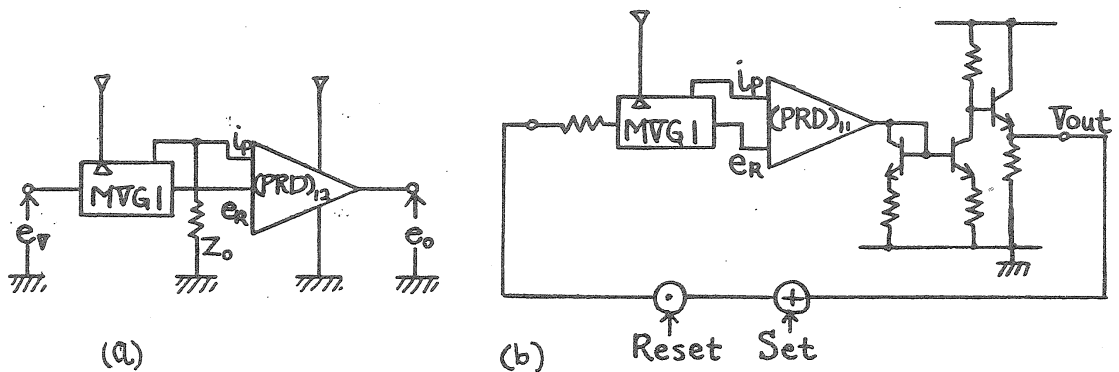
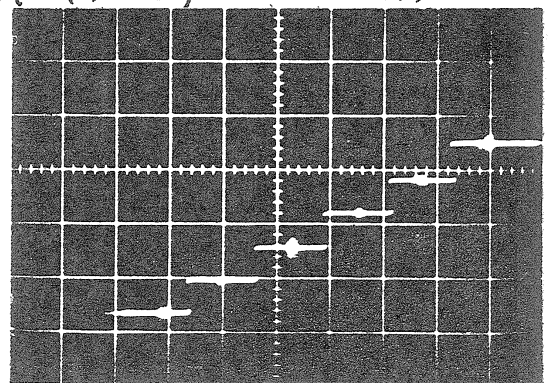


図23

ニニセ Set 入力及び Reset 入力はダイオードゲートで構成される
Sum と product を表す可。

$$\text{Sum} \cdot \alpha_1 + \alpha_2 = \max\{\alpha_1, \alpha_2\} \quad (14)$$

A, Druzeta⁽⁴⁾ らは正負両方向回路
を持つ可い多安定回路を構成し
ているが、本構成では二重帰還
形であり、スイッチングスピー
ド及びトリガ感度の向上が期待
される。今後、W, KAICHEN⁽¹²⁾ らの



X 軸 : 1V/div
Y 軸 : 2V/div 図24

イミタンスマトリクス等による回路解析が必要とされる。

図24は、6安定回路の各安定領域と安定点を示したものである。又、A. Druzeta⁽⁴⁾らの多安定回路と同様にマスタースレーブ形多安定回路が構成される。

4. 正帰還形多値多レライ値論理ゲート回路の構成

レライ値レライ関数を具体的電子回路により実現するには、A. Druzeta⁽⁴⁾、K, W, Current⁽⁹⁾の論理値ベクトルRとレライ値ベクトルTを並列セル群によりそれぞれの一対一に対応可能な構成法があるが、正帰還モデルでは論理値ベクトルRに対応する各ECMの電流源JがPRDに作用して、レライ値ベクトルTに履歴特性を生ずる。次に石塚⁽⁵⁾は関数を単レライ値関数及び2値多レライ値関数のサブ関数に分解できることを示している。正帰還モデルでは、このようなサブ関数への分解により履歴特性を全てのレライ値において等しく与えられる。

図25は前章で述べた多レライ値回路により

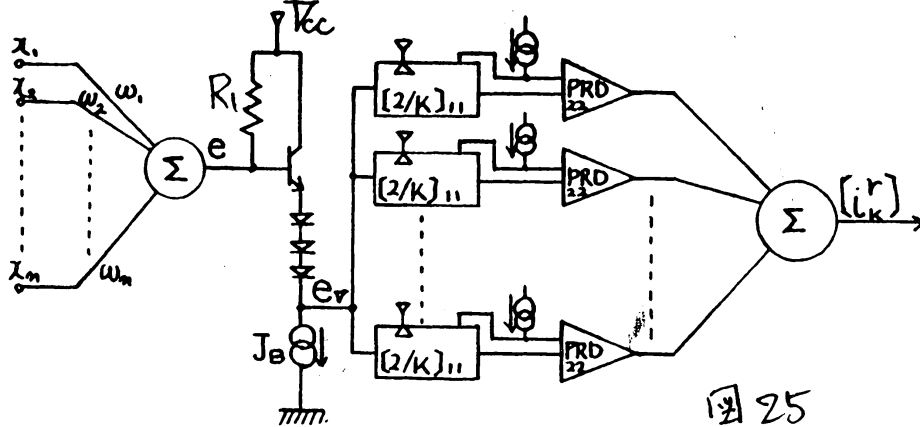


図25

構成した正帰還形多値多レライ値論理ゲートの一構成例である。n入力レライ値論理ゲートでは、入力ベクトルX

$(\alpha_1, \alpha_2, \dots, \alpha_m)$ は関数変換のための適当な重みベクトル W (w_1, w_2, \dots, w_m) とのスカラ積で励振 e を生成する。この励振 e が電流モードで表わされるので、この電流値を e_J とする。

$$e = W \cdot X \quad (15)$$

この e を e_D は式(16)で表わす。これを励振電圧 e_D とよぶ。

$$e_D = V_{CC} - \phi_c - \beta \phi_d - R_i J_B / (R_{FE} + 1) - R_i e_J \quad (16)$$

励振電圧 e_D は正帰還形の値判定をい値回路の並列結線によりしをい値判定せよ出力 $[i_k^*]$ とする。これを出力 $[i_k^*]$ は PRD により式(8)の第1項は消去し、第2項以下に於て、 $\log_2 r$ 回の正帰還形の値判定をい値論理ゲート出力 $([if]_1, [if]_2, \dots, [if]_{\log_2 r})$ で表わす式(17)とする。

$$[i_k^*] = [if]_1 + [if]_2 + \dots + [if]_{\log_2 r} \quad (17)$$

これを $[]$ は履歴特性による結果を表わす。

(1) 正帰還形の値判定をい値論理ゲート回路の動作

正帰還形の値判定をい値論理ゲート回路の静特性に於ける効果は電源電圧 V_{CC} 、及び動作電圧の最大値 $[e_D]_{max}$ の減少が挙げられる。図26はしをい値判定に際して直流許容雑音電圧 V_{dc} を 0.6V (TTL ではファインアウト 10 において 0.4V) を保障している) としたとき、正帰還モデルによるこれらの減少を図示したものである。これにより、しをい値判定に於て $(e_D + E_R)$ の減少である。図示の場合には $E_R = 0.5V$ としている。

次にPRDとMDGとの動作を図27に示す。図中PRDの印及び e_R の最大変化量をそれぞれ ΔI_P 及び ΔE_R とし、 $\Delta I_P \leq I_C$ 、 $\phi_d > \Delta E_R$ とする。更に I_0

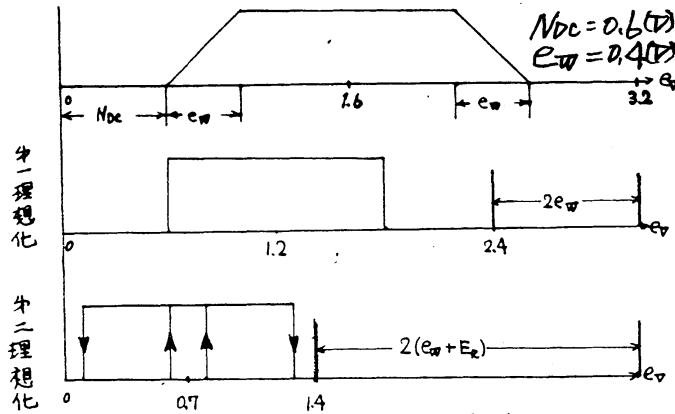


図26

は動作点を定めるバイアス電流であり、PRDの動作開始電流 I_0 より小さいとする。もしも回路出力は、この上部及び下部をクリップされる。

比較電圧 $\langle V_{ref} \rangle_g$ はPRDの V_{ref} よりゲイオードでは、マルチ基準電圧によりそれぞれレベルツフトして接続している。いま、MDGの出力が増加する場合を考えると、 V_{ref} が $\frac{1}{2}\Delta E_R$ だけ低い電圧で

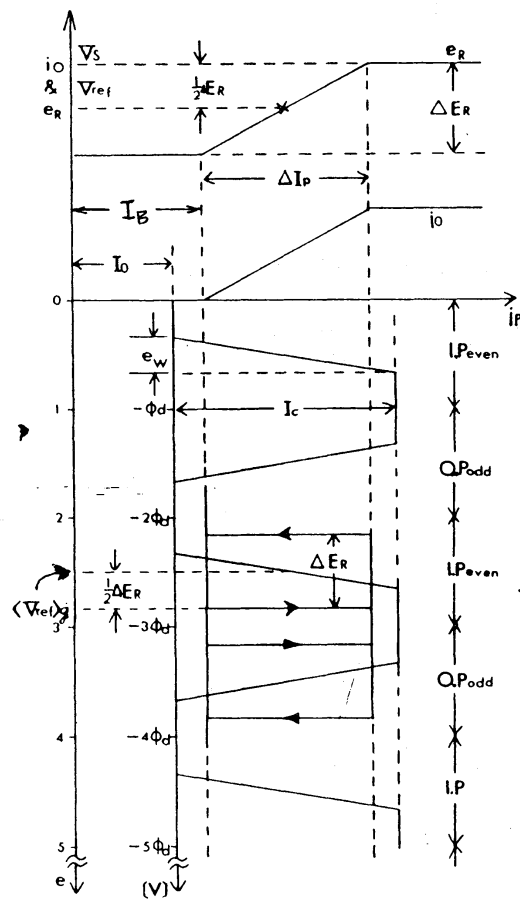


図27

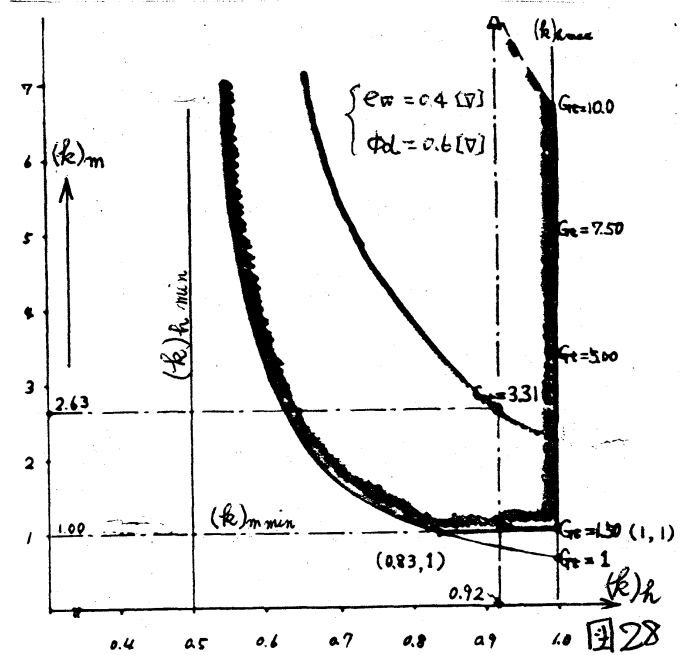
あるため、 $\langle V_{ref} \rangle_g$ はその分だけ低い電圧に抑制される。又、逆の場合には $\langle V_{ref} \rangle_g$ は高く保持されるために $\langle V_{ref} \rangle_i$ を中心として ΔE_R の履歴特性が生ずる。もしも次の $\langle V_{ref} \rangle_{g+1}$ ではイン

バート入カヲハインバート反作用電圧により動作するため、
 この履歴特性も反転する。

次に本正帰還モデルの
 動作領域を定めるため、
 $(k)_m$ 及び $(k)_R$ をそれぞれ
 式(18)のように定義する。

$$(k)_m = \frac{I_c}{\Delta I_p} \geq 1 \quad (18)$$

$$(k)_R = \frac{\phi_d + \Delta E_R}{\Sigma \phi_d} \leq 1$$



式(13)に於て、 $Z_0 = \infty$ とし、式(18)とから式(19)を定め、図示し
 ておいたのが図28である。

$$(k)_m = \frac{e_w}{\phi_d} \cdot \frac{G}{2(k)_R - 1} \quad (19)$$

(2) 試作回路と結果

前節までの正帰還モデルの動作を確認するためPRDを製
 作した。これはMVDが図13及び図14と同一であり、しきい
 値数は10である。使用したトランジスタ及びダイオードは前
 述と同一素子で下記にPRDの仕様を示す。

PRD ----- $r = 180[\Omega]$, $R = 240[\Omega]$, $J \approx 1.8[\text{mA}]$

$\Delta E_R = 0.5[\text{V}]$, $\Delta I_p = 0.76[\text{mA}]$,

図29は74しきい値回路に $[X/k]_{21}$ によつて構成したときの
 X-Y特性である。これによりしきい値の比較電圧に約0.5

(D)の履歴特性が与えられていることが示されている。そして図30にPRDの負荷抵抗510Ωとしたときのパルス応答及びアナログ応答を示す。この入力0.2V/div, 出力0.5V/div X軸5ms/divである。

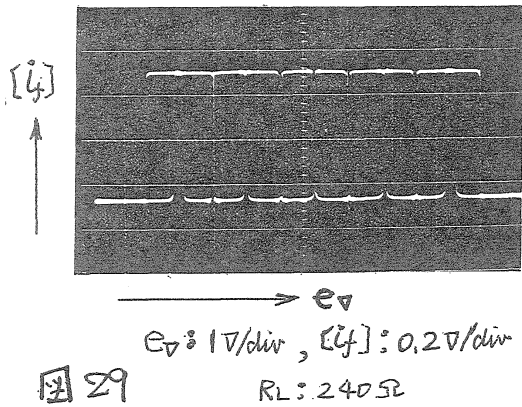
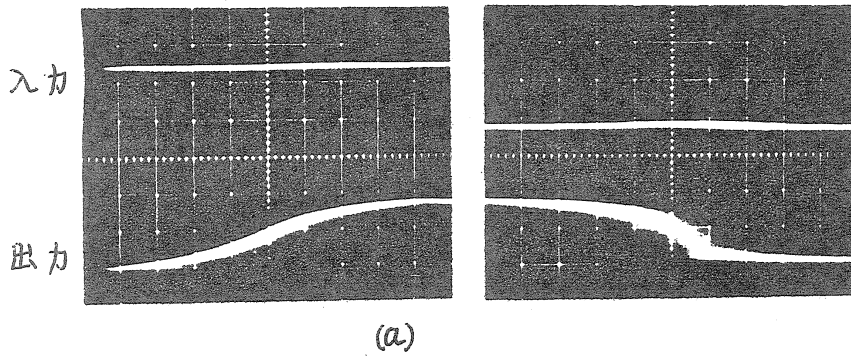


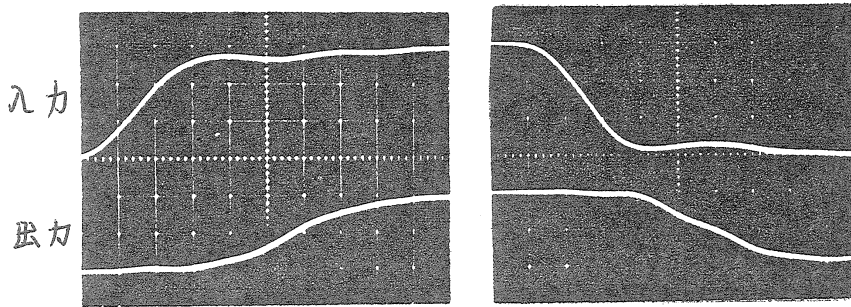
図 29

この測定結果より、パルス応答及びアナログ応答ともスイッチングスピードは変わらず立ち上がり時間 t_r 及びおは約20msである。



(a)

これは、無帰還形双極性値回



(b)

X軸 5ms/div, Y軸 { 入力 0.2V/div
出力 0.5V/div, RL 510Ω

図 30

路の測定結果と同じであり、正帰還による影響は少くない。Eを遅延させておは正帰還モデルの方が約2倍の遅延を必要としている。これは図27の設計により $I_B > I_0$ としていることから生じているものもあり、 I_0 を ΔI に近づけることにより遅延は減少する。

5. まとめ

多値論理応用に対して、電子回路的側面から見た場合、多値入力の弁別(検出)は重要な課題の1つと考えられる。として最近3値以上の基数を備えた多値論理システムの研究が多くなりつつある。このことは多値レベルの弁別性能が向上し雑音余裕を従来以上に確保しやすくなっていることとLSI技術等の発達により信頼性の高い回路実現が可能となりつつあることを挙げるべきである⁽¹⁰⁾。更に信号処理等の専用デジタルシステムにおける演算時間の短縮に対し、電子回路的に並列処理を行う多値多しきい値論理ゲート構成によって著しい性能の向上が計られている⁽¹¹⁾。これは電子回路的に多値論理回路の並列処理⁽³⁾に対応するものと考えられるが、集積度及びスイッチングスピード等において興味深いものがあると考えられる。

多値多しきい値論理は、論理的に基数及び多しきい値数の増加に伴い、より強力になるが、これらの増加により雑音余裕が減少するため、電源電圧及び動作電圧は上昇する。本小文では多値多しきい値論理ゲート回路について電子回路的に、次の項目について明らかにしている。

① しきい値判定器を構成する並列セル出力容量は、セルの数に比例し増加すると考え、セル出力に対し縦続接続による多

値ゲート回路(MDG1及びMDG2)を提案し、MDG1及びMDG2による n 値 n 値ゲート回路を構成した。この結果スイッチングスピードは並列出力構成に対し $n \sim 4.5$ 倍(しきい値10)程度速くなる。

② ゲート回路の評価法の1つとして電カ・P.D積が挙げられるが、⁽¹⁴⁾ n 値 n 値回路の電流源の数を相補縦続結線による回路構成により $1/2$ とし、このパルス応答は並列出力構成に比較し約2倍のスイッチングスピードが得られる。

③ n 値及び n (n)値 n 値 n 値論理ゲートと打可能な反作用デバイスと具体的な電子回路を構成し、正帰還形 n 値 n 値 n 値論理ゲート回路が実現可能であり、電源電圧及び動作電圧を約50%まで減少できることを示した。

④ PRDの n 値回路への応用として n 値シュミット回路及び n 重帰還形 n 安定回路が構成できることを示した。

ここには筆者らの提案する n 値 n 値回路の回路構成法と試作回路による比較を示しているが、構成した回路及び集積化へのシュミレーションについては行なっていない。

6. 謝辞

日頃ご指導頂戴し、本学の高橋寛教授、並びに南根好文助教授に深謝する。更に、貴重な文献資料及び指導を頂いた東北大学の樋口龍雄教授並びに亀山充隆先生に深謝する。

文献

- (1) 東坂 義光: "GaAs論理IC" 信学誌, Vol. 64, No. 6 (昭56-6) 他
- (2) H.C. LAI, S. MUROGA, "Minimum Parallel Binary Address with NOR(NAND) Gate." IEEE Trans on Comput, Vol. C-28, No. 9, September 1979
- (3) 安浦 大島: "論理関数を実現するに必要論理回路の段数について." 信学論(D), J62-D, 9, pp. 561~568 (昭和54-09)
- (4) A. Druzeta, 他: "Application of multithreshold Elements in the Realization of many-Valued Logic Networks" IEEE Trans on Comput. November 1974
- (5) 石塚 興彦: "多値多しきい値回路網の構成" 信学論, D-67, 昭52-他
- (6) 三木 米山: "単しきい値素子列とブールゲートによる可変しきい値多しきい論理ゲートの一構成" 信学論, D-68, 昭52-2.
- (7) 三木 米山: "交互相補形多重しきい論理回路ともの応用" 信学論, D-29 昭和52
- (8) D.L. Schilling, 他: "Electronic circuit - discrete and integrated" pp46~461
- (9) K.W. Current, : "A Simultaneous Analog-to-Quaternary Converter," IEEE Trans. on Comput. and System, vol. CAS-26, No. 11, November 1979. 他
- (10) 樋口 龍雄: "多値論理システムの最近の動向" 数理科学, No. 200, (昭55-2)
- (11) M. Kameyama, T. Higuchi: "Signed-Digit Arithmetic Circuits Based on Multivalued Logic and its Applications" in proc. 1981. ISMVL, 他
- (12) W.K. Chen: "The Hybrid Matrix in Linear Multiple-Loop Feedback Networks" IEEE Trans on circuit and System, vol. CAS-24, No. 9 Sept 1977
- (13) J. G. Tront, D. P. Girone: "A Design for Multiple-Valued Logic Gates Based on Mex FET'S" IEEE Trans. on comput. vol. C-28, No. 11. 1979-11
- (14) 牟田 征一: "いしきい値ゲート回路について" 京大数理研 講究録140 多値論理とその応用(II), PP 296~320, 1972.
- (15) 渡辺 誠 他: "LSI技術" 信学会, LSI技術編集委員会 昭和55 PP 13~60