

Fredkin の論理ゲートを用いた可逆的 Turing 機械の設計

大阪大学基礎工学部 後野 由文 (Yoshifumi Gono)
大阪大学基礎工学部 森田 憲一 (Kenichi Morita)

1. はじめに

近年、「計算」におけるエネルギー消費の問題を基礎的な立場から論じるために、可逆的な論理ゲートや可逆的 Turing 機械に関する研究がいくつかなされている⁽⁴⁾⁽¹⁾。

論理ゲートが可逆的であるというのは、その出力値から入力値が一意的に定まることをいう。したがって、ゲートが非可逆的であれば、ある1つの出力値を与えるような入力値が2種類以上存在する場合があることになる。つまり、出力を得た時点の論理ゲートのエントロピーは、入力を与えた時点の論理ゲートのエントロピーよりも小さくなる。熱力学的な観点からは、このような現象は、系外への熱の放出を引き起こす原因になる⁽²⁾。このため、非可逆な論理演算を行うと、必ずある量以上のエネルギーが消費されることになる。

このような問題は、論理ゲートのレベルだけでなく、「計算」のレベルにおいても生じる。計算が可逆的であるというのは、その計算過程に現れる各計算状況に対し、その直前の計算状況が一意的に定まることである。したがって、たとえ計算機が可逆的なゲートで構成されていたとしても、その機械による計算が非可逆的であれば、系内でのエントロピー減少分に相当するだけのエネルギーを必ず消費してしまうことになる。これは、計算装置を徹底的に見た場合、あるゲートの一部の出力信号を、利用不可能な情報(ゴミ情報)として捨ててしまわなければならないことに起因する。

しかし、非可逆的な論理ゲート、または計算(ここでは、特に Turing 機械による計算を扱う)を可逆的なものにするのは、ある意味で容易である。論理ゲートであれば、従来は、系外に捨てられていた不要な情報を系内のある部分に蓄える(つまり、論理ゲートのある部分のエントロピーの減少分だけ、ゲートの別の部分のエントロピーを増加させ、ゲート全体でエントロピーを一定に保つ)ようにすればよい。また、Turing 機械による計算であれば、計算の全履歴を新しく設けたテープに各ステップごとに記録すればよい。

しかし、このような方法によって可逆化すると、装置を何度も繰り返して使用する際に問題が生じてしまう。つまり、ゲートに関しては、エントロピーを増加させていた部分のエントロピーが許容範囲を越えてしまい、最終的には熱として放出してしまわなければならない。また、Turing 機械に関しては、新しく計算を始める時点で、履歴を記録したテープの記号を非可逆的な過程で消去しなければならない。いずれにせよゴミ情報をどのように処理するかという新たな問題が生じる。

Bennett⁽³⁾は、一般の非可逆な1テープ Turing 機械を可逆的な3テープ Turing 機械で模倣する問題を考察したが、その際、全体の可逆性を損なうことなく、不要な情報を完全に消去できることを示した。

また、Fredkin と Toffoli⁽⁴⁾は、論理ゲートのレベルでこのような問題を論じている。彼等は、可逆的かつビット保存的(入力中の"1"の個数と出力中の"1"の個数が一致す

る)な3入力3出力の論理ゲートである"Fredkinゲート"(Fゲート)による設計理論を展開し、任意の(非可逆な)組合せ論理回路が、Fゲートだけからなる、ゴミ情報を全く出さない回路中に埋めこめることを示した。また、Fゲートの論理動作は、完全弾性衝突するビリヤード・ボールのモデルで実現できることも示されており、理想的な場合には論理演算そのものに要するエネルギーも0にできる可能性を示唆する点で興味深い。

さて、本稿では、任意に Turing 機械が与えられたときに、その機械全体(テープ部も含む)をFゲートとユニット・ワイヤ(単位時間の遅延素子)だけを用いて具体的に設計する方法を示した。この設計において、特に注目すべきことは、(解くべき問題の入力と答えを除いて)ゴミ情報が外部へ放出されたり、ある場所に蓄積されたりするものが一切ないようにしている点である。これにより、ゴミ情報の発生に伴うエネルギー消費は0にできる。

ところで、先に述べたBennettの結果から、任意の(非可逆な) Turing 機械の設計法を与える代わりに、可逆的な3テープ Turing 機械の設計法を示せばよいことが分る。しかしBennettの構成した可逆的 Turing 機械は履歴テープのための記号を非常に多種類使用している⁽¹⁾ので、Turing 機械をFゲートなどで構成する場合、設計手法や構造が非常に複雑になる。そこで著者等は、先に、一般の非可逆的な1テープ Turing 機械が、2記号の可逆的な3テープ Turing 機械で模倣できることを示した⁽⁵⁾。本稿では、この結果に基づき可逆的決定性2記号3テープ Turing 機械をFゲートとユニット・ワイヤを用いて具体的に設計する方法を与えた。

2. 保存論理と可逆的な Turing 機械

本章では、Fredkin と Toffoli の論理ゲートを用いて可逆的決定性2記号3テープ Turing 機械を設計する上で必要な保存論理と可逆的 Turing 機械について述べておく。

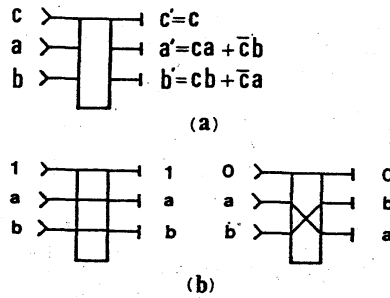
2.1. 保存論理

保存論理⁽⁴⁾は、物理学的な基本法則を反映した論理回路の理論である。この論理で特に重要なのは、可逆性と、ある量(ここでは、ビット)の保存性である。保存論理では、回路を構成する素子として、可逆的でビット保存的なゲートであるFゲートと単位時間の遅延を行うユニット・ワイヤを用いる。

Fゲート(図2.1)は、3入力3出力のゲートで、それの入力値と出力値は1対1に対応し、入力中の値1の数と出力中のその数が等しいという性質を持つ。一方、ユニット・ワイヤ(図2.2)は、その入力線に与えられた信号を1単位時間だけ遅らせて出力する素子であり、これも可逆的かつビット保存的である。

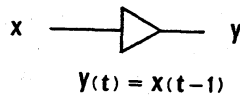
Fゲートとユニット・ワイヤを用いて構成される回路は、次のような条件を満たさなければならない。

- (i) Fゲートの1つの出力線は、1つのユニット・ワイヤの入力線にのみ接続が許される。
- (ii) 信号線の分岐や合流は許されない。



(図2.1)

Fゲートの表記法および入出力関係 (a) とその機能 (b)



(図2.2)

ユニット・ワイヤの表記法とその入出力関係

2.2. 可逆的2記号3テープTuring機械

ここで扱う可逆的決定性2記号3テープTuring機械Tの第1、第2、第3テープは、(i) 作業用、(ii) 履歴記録用、(iii) 計算結果出力用、として使用される。また、機械Tは、次のような6つ組によって定義される。

$$T = (Q, S, A_1, A_f, O, F)$$

但し、Qは内部状態の有限集合、Sはテープ記号の集合{0, 1}、 A_1 と A_f ($\in Q$)は、それぞれ初期状態と最終状態、Oは空白記号 ($O \in S$)である。Fは動作関数で、次のような形式で表される四項列の有限集合として与えられる。

$$q [t_1, t_2, t_3] \rightarrow [u_1, u_2, u_3] q'$$

但し、 $q, q' \in Q, t_1, t_2, t_3 \in S \cup \{/\}$ 、 $u_1, u_2, u_3 \in S \cup \{-, Z, +\}$ (それぞれ左シフト、静止、右シフト)であり、各 t_i に対し、 $t_i = /$ となるのは、 $u_i \in \{-, Z, +\}$ であるとき、かつそのときに限る。"/"は「テープ記号を読まない」ことを表す。

ここで、機械Tは、次の2条件⁽¹⁾を満たす。

全ての四項列 α, β ($\in F$) ($\alpha \neq \beta$)

$$\alpha = p [t_1, t_2, t_3] \rightarrow [u_1, u_2, u_3] q$$

$$\beta = p' [t_1', t_2', t_3'] \rightarrow [u_1', u_2', u_3'] q'$$

に対して、

- (i) 決定性条件: $p \neq p'$ または、ある i に対して、 $t_i \neq /$ かつ $t_i' \neq /$ かつ $t_i \neq t_i'$
- (ii) 可逆性条件: $q \neq q'$ または、ある i に対して、 $t_i \neq /$ かつ $t_i' \neq /$ かつ $u_i \neq u_i'$

文献⁽⁵⁾では、任意の(非可逆な)1テープTuring機械が、このような可逆的決定性2記号3テープTuring機械で模倣できることが示されている。

3章では、具体的に機械Tの設計を行うが、Tの有界制御部を構成するとき重要になるのは、次の条件である。

文献⁽⁵⁾の構成法では、Tは履歴テープに加え、実質的には、作業用テープの記号も履歴情報として使用している場合がある(これは、履歴テープの情報のみでは履歴をさかのぼれないことによる。一方、Bennettの可逆的Turing機械では、履歴テープの情報のみで履歴をたどることが

きる⁽¹⁾)。つまり、複数の内部状態から1つの内部状態に遷移するとき使用できる履歴情報は、最も多い場合、作業用テープの記号と履歴テープの記号の組の数だけあることになる(出力テープは、コピー過程でのみ使用される)。このため、(i)ある1つの内部状態に遷移するとき、出される出力の組の数は、高々4となる。また、これより高々4つの内部状態から1つの内部状態に遷移することになる。

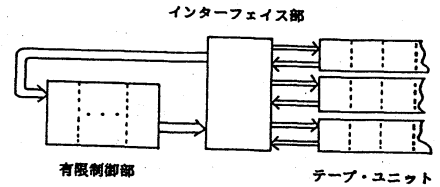
さらに、次の条件を加える。但し、このことによって一般性が失われることはない。

- (ii) 初期状態 A_1 は、計算開始時点でのみ現れる。また、最終状態 A_f は、計算終了時点でのみ現れる。

3. 保存論理のゲートを用いた可逆的2記号3テープTuring機械の設計

本章では、可逆的決定性2記号3テープTuring機械全体をFゲートとユニット・ワイヤのみを用いて設計する。

このTuring機械は、次の部分から構成される(図3.1)。それらは、(i) 3つのテープ・ユニット、(ii) 有限制御部、および、これらの回路間の信号の入出を制御するための(iii) インターフェイス部、である。



(図3.1)

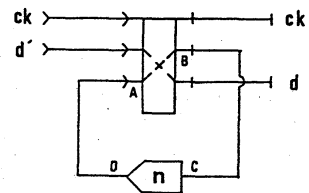
Turing機械の概略図

3.1. 記憶装置の基本原理解

内部状態、テープ記号、ヘッド位置などを記憶するために、記憶装置が必要となる。この装置は、基本的には(i) いくつかのユニット・ワイヤからなる閉ループ(記憶ループ)

- (ii) 記憶ループ中の情報を読み書きするためにループ中に挿入されたFゲート

からなる。図3.2は、その典型的な例である。ここで、 ck は読み書きのためのタイミング信号の入出力線、 d は読み出されたデータの出力線、 d' は読み込まれるデータの入力線である。但し、データの読み書きが実行されるのは、 $ck = 1$ のときに限られ、読み出しと書き込みは同時に行われる。また、 $ck = 0$ のときは、Fゲートの入出力線A、Bとユニット・ワイヤの入出力線C、Dが、閉ループ(記憶ループ)をなし、読み書きは行われず、 d' から入った信号はそのまま d から出力される。



(図3.2)

$\langle n \rangle$ は、連続するn個のユニット・ワイヤを表す。

この装置の性質として注意しなければならないのは、Fゲートの入出力線A、Bに n ($n \geq 1$)個の連続するユニット・ワイヤを接続するために、記憶ループが n 単位時間

の遅れを持つようになることである (n をこの装置の周期とよぶ)。このため、本稿においては、このような記憶装置への入力は n 単位時間 (1周期) ごとに行うものとする。また、記憶ループ上のデータが α ($\in \{0, 1\}$) であるとき、この記憶ループの状態は α であるという。

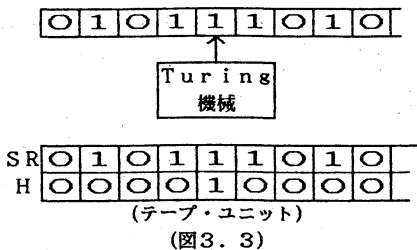
ところで、時刻 t に記憶されたデータに対する処理は、時刻 $t+k \cdot n$ ($k=1, 2, \dots$) にのみ行える。よって、ある回路の中に複数の記憶装置 (ないし、記憶ループ) が存在し、それぞれの記憶装置間で信号の入出がある場合には、それぞれの装置へ信号が入る時刻、周期を調整する必要がある。このことを、同期をとるといふ。

以下で、各ユニットの具体的な設計を行う。但し、上述したように保存論理においては、信号の時間的なずれは、誤動作を招く。そこで、各ユニットにはユニット・ワイヤを適当な数だけ加え、入力信号の同期をとる。また、これによって、各回路は各入力を同時刻に与えたとき、各出力が同時刻に得られるように設計する。このとき、入力を与えて出力を得るまでの時間をこの回路の周期という。

3. 2. テープ・ユニットの設計

テープ・ユニット (TU) は、同一構造のテープ・セル (TC) を右方向に片無限に接続配置したものに、1つのZシフト・ユニット (ZSU) を加えたものである。テープ・セルは、テープ記号を読み書きするための記号レジスタ (SR)、ヘッドの右シフトを実行するためのRシフト・ユニット (RSU)、ヘッドの左シフトを実行するためのLシフト・ユニット (LSU) からなり、ヘッド位置を記憶するための記憶ループ (Hレジスタとよぶ) が、記号レジスタ、Rシフト・ユニット、Lシフト・ユニットの各回路を通過している (図3.9)。Hレジスタの状態は0または1であり、状態が1であるHレジスタは全Hレジスタを通じてただ1つである。状態が1であるHレジスタは、ヘッドがそのテープ・セルに位置していることを示すものである (図3.3)。

ここで、Hレジスタ中の信号"1"を、特にHポインタとよぶ。



(図3. 3)

Turing機械のテープの記号列および、そのヘッド位置とテープ・ユニット中の記号レジスタ (上部)、Hレジスタ (下部) の対応

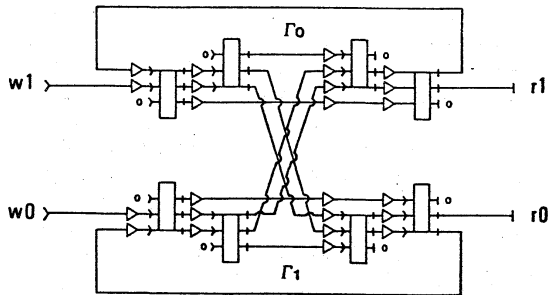
3. 2. 1. DFFの設計

DFFは、テープ記号 (0または、1) を記憶するための回路であり (図3.4)、記号レジスタに組み込まれる。

DFFは、 Γ_0 、 Γ_1 で表される2つの記憶ループを持ち、 Γ_0 、 Γ_1 のいずれか一方が状態1、他方が状態0となっている。 Γ_0 の状態が1であれば、記憶された記号は0とし、 Γ_1 の状態が1であれば、記憶された記号は1とする。

DFFの記憶された記号 (状態) の変更は、入力線 w_0 、 w_1 のどちらかに信号"1"を与えることによって実行される。 w_0 に信号"1"を与えれば状態は0となり、 w_1 に信号"1"を与えれば状態は1となる。また、DFFの状態の読み取りは、必ず書き込みと同時に進行し、以前の状態が0ならば、 r_0 のみから信号"1"、以前の状態が1ならば、 r_1 のみから信号"1"が出力される。

また、DFFを記憶装置として使用する際の初期状態は0 (Γ_0 の状態が1) とする。但し、DFFへの各入力は、 Γ_0 または Γ_1 中の信号"1"に同期させて与える必要がある。DFFの周期は、4である。



(図3. 4)
DFFの回路図

入力		出力					
w_0	w_1	Γ_0	Γ_1	Γ_0'	Γ_1'	r_0	r_1
0	0	a	b	a	b	0	0
1	0	1	0	1	0	1	0
1	0	0	1	1	0	0	1
0	1	1	0	0	1	1	0
0	1	0	1	0	1	0	1

(表3. 1)

DFFの入出力関係 : (但し、 $a, b \in \{0, 1\}$)

3. 2. 2. 記号レジスタ (SR) の設計

記号レジスタ (SR) は、テープ記号の記憶、書き込み、読み取りを行う回路である (図3.5)。

テープ記号の書き込み信号は、入力線 w_0 、 w_1 から与えられる。ここで、テープ記号0を書き込む場合は、 w_0 のみから信号"1"を、テープ記号1を書き込む場合は、 w_1 のみから信号"1"を入力する。但し、Hレジスタの状態が1のときの、 w_0 、 w_1 から入った信号がDFFに取り込まれ、読み取り信号が、出力線 r_0 、 r_1 から出る。そのために、記号レジスタは、このテープ・セルのHレジスタのループの一部を入力線 P_{SR} から取り込み、出力線 P_{SR}' から出している。

一方、Hレジスタの状態が0のときは、 w_0 、 w_1 から入った信号は、DFFに取り込まれず出力線 w_0' 、 w_1' にそのまま出力される。

入力線 r_0' 、 r_1' は、これより右のセルからの読み取り信号を有限制御部に送る際の信号線である。

記号レジスタへの各入力は、入力 P_{SR} と同期させる必要がある。また、記号レジスタの周期は、8である。

3. 2. 3. Rシフト・ユニット (RSU) の設計

Rシフト・ユニット (RSU) は、Hポインタを1つ右隣のテープ・セルのHレジスタに移す、つまり、ヘッドを右シフトさせるための回路である (図3.6)。Rシフト・ユニットは、Hレジスタのループの一部分を入力線 P_{RSU} から取り込み、出力線 P_{RSU}' から出している。

ヘッドの右シフトは、入力線 RS から信号"1"を与えることによって実行される。具体的には、Hレジスタの状態が1のときは、 P_{RSU} から入ったHポインタは、 RS から入った信号"1"によって、 pr' から出力される。また、Hレジスタの状態が0のときは、 RS から入った信号は、そのまま RS' から出力される。

一方、右隣のテープ・セルにおいて、 rs 、 pr から、それぞれ信号"1"が同時に入った場合、 pr から入った信号"1" (Hポインタ) は、 rs から入った信号"1"によってHレジスタに取り込まれる。さらに、 rs から入った信号は、右シフト完了の信号として出力線 RSR から出力される。

ところで、入力線RSR'は、これより右のセルからの右シフト完了の信号を有限制御部に送るとき使用される信号線である。また、Rシフト・ユニットの周期は、4である。

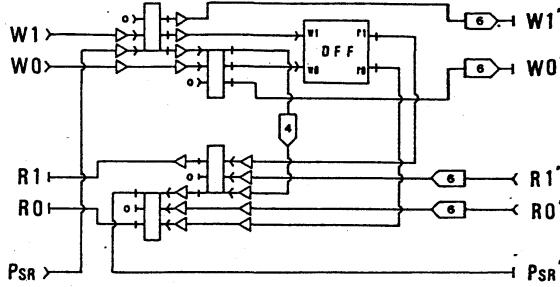
3.2.3. Lシフト・ユニット (LSU) の設計

Lシフト・ユニット (LSU) は、Hポインタを1つ左隣のテープ・セルのHレジスタに移す、つまり、ヘッドを左シフトさせるための回路である (図3.7)。Lシフト・ユニットは、Hレジスタのループの一部分を入力線PLsuから取り込み、出力線PLsu'から出している。

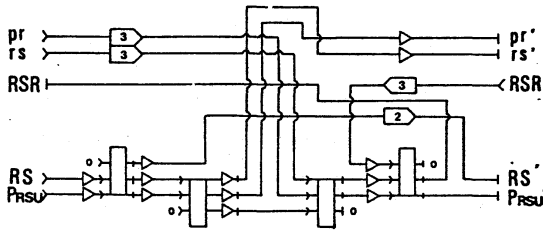
ヘッドの左シフトは、入力線LSから信号"1"を入れることによって実行される。具体的には、Hレジスタの状態が1のときは、PLsuから入ったHポインタは、LSから入った信号"1"によって、plから出力される。また、Hレジスタの状態が0のときは、LSから入った信号は、そのままLS'から出力される。

一方、左隣のテープ・セルにおいて、ls'、pl'から、それぞれ信号"1"が同時に入った場合、pl'から入った信号"1" (Hポインタ) は、ls'から入った信号"1"によってHレジスタに取り込まれる。さらに、ls'から入った信号は、左シフト完了の信号として出力線LSRから出力される。

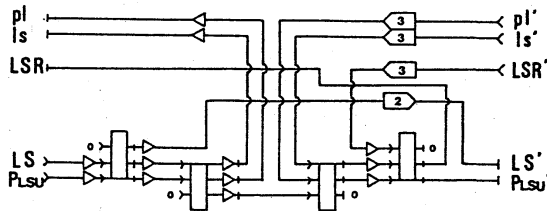
ところで、入力線LSR'は、これより右のセルからの左シフト完了の信号を有限制御部に送るとき使用される信号線である。また、Lシフト・ユニットの周期は、4である。



(図3.5) 記号レジスタの回路図



(図3.6) Rシフト・ユニットの回路図

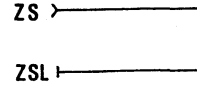


(図3.7) Lシフト・ユニットの回路図

3.2.5. Zシフト・ユニット (ZSU) の設計

Zシフト命令は、実際上、テープ・ユニットに対し、「何も行わない」命令である。よって、Zシフト・ユニ

ット (ZSU) は、有限制御部からZシフト命令を受けたときに、この信号をZシフト完了の信号として、テープ・セルの周期の整数倍だけの時間遅れ (ここでは、遅延時間は0) で再び有限制御部方向に送り返す回路である (図3.8)。



(図3.8)

Zシフト・ユニットの回路図

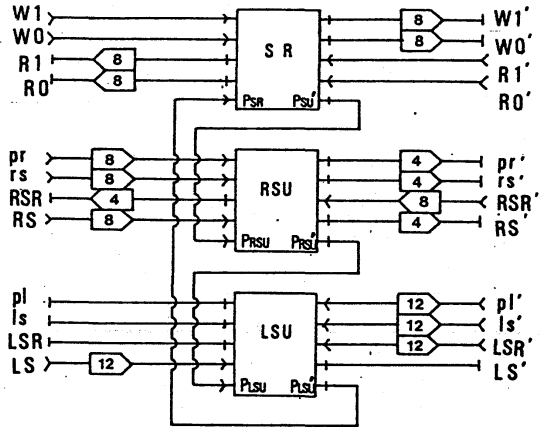
3.2.6. テープ・セルとテープ・ユニットの構成

ここでは、3.3.2節~3.3.4節で設計した記号レジスタ、Rシフト・ユニット、Lシフト・ユニットを用いて、テープ・セル (TC) を構成する。さらに、テープ・セルを右方向片無限に接続し、これに1つのZシフト・ユニット (ZSU) を加え、テープ・ユニット (TU) を構成する。

まず、テープ・セルを図3.9のように構成する。ここで、記号レジスタの出力線Psr'とRシフト・ユニットの入力線Ppsu、Rシフト・ユニットの出力線Ppsu'とLシフト・ユニットの入力線PLsuとが接続され、さらに、Lシフト・ユニットの出力線PLsu'と記号レジスタの入力線Psrが接続されている。これによってできる閉ループ (記憶ループ) が、Hレジスタである。

また、同期をとるために、各回路 (SR, RSU, LSU) の残りの入出力線には、それぞれ図3.9に示すように適当な数のユニット・ワイヤを接続し、テープ・ユニットの入出力線とする。

テープ・セルの周期は、16である。



(図3.9)

テープ・セルの回路図

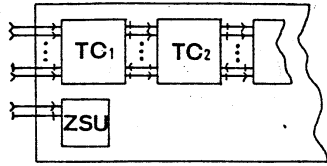
次に、テープ・ユニットを図3.10のように構成する。

最も左 (第1番目) のテープ・セルにおいては、入力線W0, W1, RS, LS、出力線R0, R1, RSR, LSRのみインターフェイス部に接続され、他の入出力線は、どこにも接続されない。よって、テープ・ユニットを使用する際、最も左のテープ・セルにヘッドがある場合、左シフトを避けるように注意する必要がある。

また、テープ・ユニットが使用されるとき初期状態では、何れか1つのHレジスタにHポインタが位置するものとする。

最後に、テープ・ユニットにおいて定義される入出力関係を示す (表3.2)。ここで、特に入力線W0, W1, RS, LS、ZSに入力される信号"1"を、命令信号 (それぞれ、記号0の書き込み、記号1の書き込み、右シフト、左シフト、ハッ

ド静止)、出力線R0、R1、RSR、LSR、ZSRから出力される信号"1"をレスポンス信号(それぞれ、記号0の読み込み、記号1の読み込み、右シフト・レスポンス、左シフト・レスポンス、静止(Zシフト)レスポンス)とよぶ。



(図3.10) テープ・ユニットの構成

入力						出力					
W0	W1	RS	LS	ZS	St	St'	R0	R1	RSR	LSR	ZSR
0	0	0	0	0	a	a	0	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0	0
1	0	0	0	0	1	0	0	1	0	0	0
0	1	0	0	0	0	1	1	0	0	0	0
0	1	0	0	0	1	1	0	1	0	0	0
0	0	1	0	0	a	a	0	0	1	0	0
0	0	0	1	0	a	a	0	0	0	1	0
0	0	0	0	1	a	a	0	0	0	0	1

(表3.2)

テープ・ユニットの入出力関係

Stは、入力が与えられた時点でのヘッドが位置するテープセルのDFFの状態、St'は、出力が行われた時点でのそのDFFの状態、W0、W1、RS、LS、ZS、R0、R1、RSR、LSR、ZSRは、それぞれテープ・ユニットの入出力線であり、それらは、第1番目のテープセルの左側の入力線(ZS、ZSRを除く)と一致している。また、a∈{0,1}である。

3.3. 有限制御部の設計

この節では、まず2.2節に述べた形式の可逆的決定性2記号3テープTuring機械の四項列集合を、有限制御部の具体的な設計に適した形式の四項列集合に変換する。次にこの四項列集合に基づき、有限制御部を設計する。

3.3.1. ミクロ四項列集合の構成

有限制御部をFゲートとユニット・ワイヤで具体的に構成するためには、有限制御部が実行すべき動作を、先に示した四項列よりも細かなレベルで記述しておく必要がある。特に3.2節で設計したテープ・ユニットを用いるならば、

- (i) 5種類の命令信号(W0、W1、RS、LS、ZS)をどのように与えるか
- (ii) 5種類のレスポンス信号(R0、R1、RSR、LSR、ZSR)をどのように処理するか

ということまで明示した四項列を与えなければならない。

ここでは、そのような四項列をミクロ四項列、従来の四項列をマクロ四項列とよぶ。

2記号3テープTuring機械Mのミクロ四項列による定義は、次の6つ組で与えられる。

$$M = (Q', R, C, A_1, A_f, F')$$

但し、Q'は有限制御部CUの内部状態集合、Rは入力集合{S、R0、R1、RSR、LSR、ZSR}、Cは出力集合{E、W0、W1、RS、LS、ZS}、ここで、特に S(∈R)、E(∈C)をそれぞれ計算開始信号、計算終了信号とよぶ。また、

A₁、A_f(∈Q')は、それぞれ初期状態、最終状態である。さらに、F'は動作関数であり、次のような形式で表されるミクロ四項列の有限集合で与えられる。

$$q < x_1, x_2, x_3 > \rightarrow < y_1, y_2, y_3 > q'$$

但し、q、q' ∈ Q'、x₁、x₂、x₃ ∈ R、y₁、y₂、y₃ ∈ C、である。

また、Mの決定性、可逆性は、次のように定義される。 $\alpha, \beta \in F'$ とし、

$$\alpha = p < x_1, x_2, x_3 > \rightarrow < y_1, y_2, y_3 > q$$

$$\beta = p' < x_1', x_2', x_3' > \rightarrow < y_1', y_2', y_3' > q'$$

とする。

- (i) 決定性条件:異なるどの α, β に対しても $p \neq p'$ または あるiに対し $x_i \neq x_i'$
- (ii) 可逆性条件:異なるどの α, β に対しても $q \neq q'$ または あるiに対し $y_i \neq y_i'$

さて、以下ではマクロ四項列集合Fで定義されている可逆的2記号3テープTuring機械Tから、それと等価なミクロ四項列集合F'で定義されている機械Mを求める方法を示す。

ここで、Fの第j番目の要素である次のような四項列 ξ_j を考える。

$$\xi_j = A_m [t_1, t_2, t_3] \rightarrow [u_1, u_2, u_3] A_n$$

(但し、A_m、A_n ∈ Q、各iに対し、t_i ∈ S ∪ {/}、u_i ∈ S ∪ {-, Z, +})

これに対して次のミクロ四項列集合f_j' = {α_j, β_j, γ_j}をF'に加える。

$$\alpha_j = A_m < T_1, T_2, T_3 > \rightarrow < U_1, U_2, U_3 > B_m$$

$$\beta_j = B_m < T_1', T_2', T_3' > \rightarrow < U_1', U_2', U_3' > C_n$$

$$\gamma_j = C_n < T_1'', T_2'', T_3'' > \rightarrow < U_1'', U_2'', U_3'' > A_n$$

但し、B_m、C_nは、新たに機械Mに付加された内部状態であり、それぞれ内部状態A_m、A_nと1対1に対応している(しかし、内部状態B_k、C_kは、それぞれA_kがFの定義域、値域に現われた場合にのみ加えられる内部状態であり、必ずしも全ての内部状態A_i(i=1,...,f)に対して加えられるものではない)。また、各iに対して、

- (i) t_i ∈ Sの場合、

$$T_i = ZSR, U_i = W0,$$

$$T_i' = \begin{cases} R0 & (t_i = 0 \text{ のとき}) \\ R1 & (t_i = 1 \text{ のとき}) \end{cases}, U_i' = \begin{cases} W0 & (u_i = 0 \text{ のとき}) \\ W1 & (u_i = 1 \text{ のとき}) \end{cases},$$

$$T_i'' = R0, U_i'' = ZS,$$

とする。

- (ii) t_i ∈ {/}の場合

$$T_i = ZSR, U_i = ZS,$$

$$T_i' = ZSR, U_i' = \begin{cases} RS & (u_i = - \text{ のとき}) \\ ZS & (u_i = Z \text{ のとき}) \\ LS & (u_i = + \text{ のとき}) \end{cases},$$

$$T_i'' = \begin{cases} RSR & (u_i = - \text{ のとき}) \\ ZSR & (u_i = Z \text{ のとき}) \\ LSR & (u_i = + \text{ のとき}) \end{cases}, U_i'' = ZS,$$

とする。

但し、どちらの場合においても、各iに対し、A_mが初期状態A₁のとき、T_i = Sとし、A_nが終了状態A_fのとき、U_i = Eとする。

(i)の場合、第i番目のテープ・ユニットに対し、まずα_jでは、レスポンス信号ZSR(初期状態のときは、計算開始信号S)を入力として受け取り、命令信号W0を読み込み信号として出力する。このとき、ヘッドが位置するテープ・セルに"0"が書き込まれると同時に、記録されていた以前の記号が、レスポンス信号として返ってくる。次に、β_jでは、レスポンス信号(R0またはR1)としてテープ記号が入力されると、この記号(0または1)に応じて、記号(0または1)の書き込み命令信号(W0またはW1)が出力される。この結果、レスポンス信号R0が返ってくる。これは、テープ記号を読み取るためにα_jで記号0を書き込んだためである。γ_jでは、このR0を受け取って、ゼロ・シフト命令信号ZSを出力する。これによって、各jに対し、四項列α_jで定められる遷移のとき、必ず入力としてZSRを受け取るように定めることができる(但し、最終状態のときは、計算終了信号Eを出力する)。

ここで注意しなければならないのは、四項列α_jで定められる第i番目のテープに対する動作は、ξ_jだけに固有のものではないという点である。つまり、α_j = α_kとなるj ≠ kが存在し得る。γ_jについても同様なことがいえる。

(ii) の場合、まず α_j においては、レスポンス信号 ZSR (初期状態のときは、信号 S) を入力として受け取り、ゼロ・シフトを行う。これは、四項列 ξ_j に依存しない動作である。次に β_j では、そのレスポンス信号 ZSR を受け取ると、 ξ_j に固有の動作、つまり定められた方向にヘッドをシフトする。その結果、シフトレスポンス信号が返ってくるが、 γ_j では、ゼロ・シフト命令を出力する (終了状態のときは、信号 E を出力する)。

以上で、機械 M の動作を定めるマイクロ四項列集合 F' を求めることができた。しかしながら、上述したように一般にある h, k ($h \neq k$) に対して $\alpha_h = \alpha_k$ となり、四項列 α_h と α_k が重複することがある。もちろん、このような重複する四項列は集合 F' に加えない。しかし、集合 F' の決定性と可逆性、および α_j の構成法から、 α_j と値域または定義域だけが重複するような α_k は存在しない。このことは、 γ_j についてもいえる。

ここで、集合 F' によって動作が定まる機械 M の決定性と可逆性は、次のようにして示すことができる。

- 1° B_n は、 A_n と 1 対 1 に対応している。
 - 2° C_n は、 A_n と 1 対 1 に対応している。
- さらに、機械 T の四項列集合 F の決定性と可逆性より、
- 3° ξ_j は、F に属するこれと異なる他のどの四項列とも定義域および値域が重複しない。
 - 4° 1°, 2°, 3° と、 T_i, U_i の定め方から、 β_j と定義域または値域が重複するような β_k は存在しない。
- 以上より、マイクロ四項列集合 F' で定義される機械 M は、決定性と可逆性の両条件を満たす。

3.3.2. 有限制御部の設計

有限制御部は、各々 1 つの記憶ループ (状態レジスタとよぶ) を持つセル (状態セルとよぶ) を内部状態の回数だけ配列したものであり、内部状態と状態セルは 1 対 1 に対応している。但し、セル間の接続は、一様ではない。また、セル配列中のどれか 1 つのセルの状態レジスタのみ状態が 1 であり、他のセルの状態レジスタは、状態 0 である。状態レジスタ中の信号 "1" を、特に S ポインターとよび、有限制御部の現在の内部状態を示すものである。

また、有限制御部への入力信号は、3 つのテープ・ユニットからのレスポンス信号の情報を担う 1 つの信号 "1" とし、有限制御部からの出力信号は、3 つのテープ・ユニットへの命令信号の情報を担う 1 つの信号 "1" としている。

このために、有限制御部は 3 つのレスポンス信号の組に 1 対 1 に対応する 125 本の入力線 (レスポンス通過信号路とよぶ) と、3 つの命令信号の組に 1 対 1 に対応する 125 本の出力線 (命令通過信号路とよぶ) を持つ。

レスポンス信号通過信号路から入ったレスポンス信号は、状態 1 のセルで取り込まれ、S ポインターを他のセルに移動し (内部状態の遷移)、後者のセルの命令通過信号路からテープ・ユニットに対する命令信号として出力される。

3.3.2.1. 状態セル (SC) の設計

状態セル (SC) は、S ポインターの保持と移動、レスポンス信号の取り込み、命令信号の出力を行うための回路であり (図 3.17)、第 i 番目の内部状態に対し第 i 番目の状態セルが対応する (但し、機械 M の内部状態は、添字の小さなものから、アルファベット順に通し番号が付けられているものとする)。また、あとで述べるが、内部状態 A_1, A_2 に対応する状態セルは必要がない。

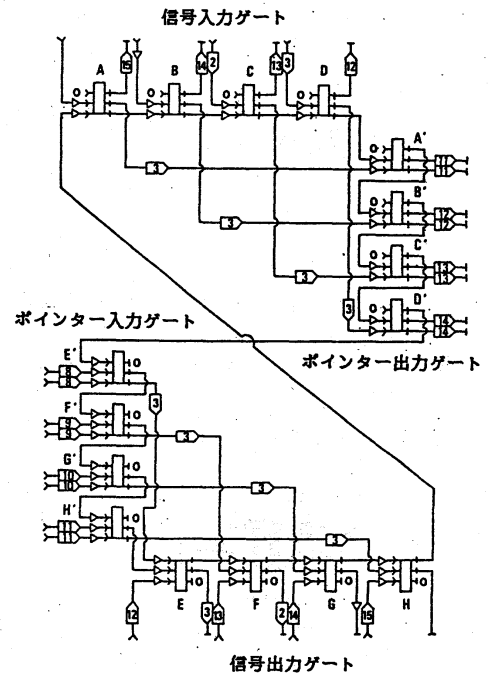
状態セルは、レスポンス信号を取り込むための信号入力ゲート、命令信号を出力するための信号出力ゲート、S ポインターを送り出すためのポインター出力ゲート、そして S ポインターを取り込むためのポインター入力ゲートを持つ。ところで、各内部状態に対して、与えられる 3 つのレスポンス信号の組は高々 4 種類であり、次に遷移する内部状態、3 つの命令信号の組も全て高々 4 種類となる。よっ

て、各入出力ゲートの数を 4 と定めることができる。但し、信号入力ゲートとポインター出力ゲートは、1 対 1 に対応する。これは、信号出力ゲートとポインター出力ゲートに関してもいえる。

ここで、状態レジスタに S ポインターがあると、信号入力ゲートに外部から入ってきた信号 "1" は、状態セル内に取り込まれる。次に、この信号は、入ってきた信号入力ゲートに対応するポインター出力ゲートで S ポインターを取り出し、S ポインターと共にポインター出力ゲートから出ていく。

一方、S ポインターを持たないセルにおいて、ポインター入力ゲートに外部から 2 つの信号 "1" が入ると、1 つの信号は S ポインターとして状態レジスタに取り込まれ、もう 1 つの信号は、S ポインターによって、入ってきたポインター入力ゲートに対応する信号出力ゲートから出力される。

状態セルの周期は、16 である。



(図 3.11) 状態セルの回路図

3.3.2.2. 状態セルの接続法

有限制御部の設計で最も重要な問題は、レスポンス通過信号路のどの信号線を信号入力ゲートに接続するかということ、また、命令通過信号路のどの信号線を信号出力ゲートに接続するかこと、さらに、どの状態セルのポインター出力ゲートとどの状態セルのポインター入力ゲートを接続するかということである。所望の状態遷移は、これらの接続の仕方によって実現されるのである。

ここで、次のような四項列集合 F' の要素 ϕ を考える。

$$\phi = X_i \langle R_1, R_2, R_3 \rangle \rightarrow \langle C_1, C_2, C_3 \rangle X_j$$

(但し、 X_i, X_j ($\in Q'$) は、それぞれ第 i 番目、第 j 番目の内部状態、 $R_1, R_2, R_3 \in R, C_1, C_2, C_3 \in C$ とする)

この状態遷移を実現するために、まず、レスポンス信号の組 (R_1, R_2, R_3) に対応するレスポンス通過信号路を第 i 番目の状態セルのどれか 1 つの信号入力ゲートに通す。次に、この信号入力ゲートに対応するポインター出力ゲートの 2 つの出力線を第 j 番目の状態セルのどれか 1 つのポインター入力ゲートの 2 つの入力線に接続する。最後に、このポインター入力ゲートに対応する信号出力ゲートに命

令信号の組 (C₁, C₂, C₃) に対応する命令信号通過路を通す。

この操作を全ての四項列に対して行くと、所望の状態遷移が実現できることになる。

但し、最初に実行される四項列、つまり初期状態 A₁ 定義域を含む四項列、

$$A_1 < S, S, S > \rightarrow < U_1, U_2, U_3 > B_1$$

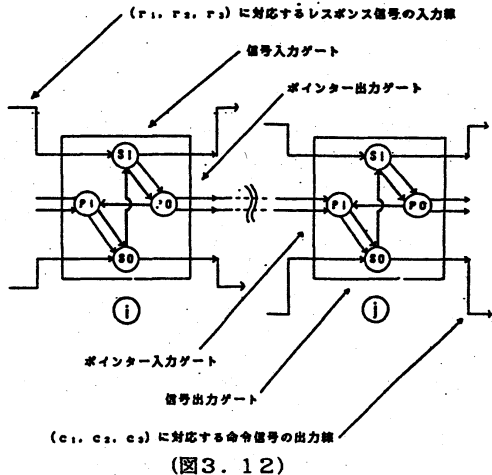
に対しては、上記の操作をそのまま行うのではなく、内部状態 B₁ に対応する状態セルのポインタ入力ゲートから 2 つの信号 "1" を入力し、これによって計算を開始する。これらは、1 つが S ポインタであり、他方が、命令信号、またはレスポンス信号の情報を担うための信号 (プロセス信号) である。

また、最後に実行される四項列、つまり最終状態 A_r を値域を含む四項列、

$$C_r < T_1, T_2, T_3 > \rightarrow < E, E, E > A_r$$

に対しては、C_r に対応する状態セルで、レスポンス信号 (T₁, T₂, T₃) を受け取ると、2 つの信号 "1" (S ポインタとプロセス信号) を A_r に対応する状態セルに送るのではなく、そのまま系外に出力し、計算終了の信号とする。

このように、Turing 機械には、計算の開始時点で 2 つの信号 "1" が与えられ、計算終了時点で 2 つの信号が外部に出されることになる。



(図 3.12)

状態セルの接続法

SI は信号入力ゲート、SO は信号出力ゲート、PO はポインタ出力ゲート、PI はポインタ入力ゲートを表す。

3.4. インターフェイス部の設計

3.2 節で構成したテープ・ユニットに入力を与えたとき、出力が返ってくるまでに要する時間は、ヘッド (H ポインタ) の位置に依存する。さらに、Turing 機械の持つ 3 本のテープ・ユニットのそれぞれのヘッドは、一般に独立な位置関係にある。よって、3 本のテープ・ユニットに同時に入力を与えたとしても、出力の返ってくる時刻はそれぞれのユニットで異なってしまう。このため、有限制御部は、テープ・ユニットからの信号を同時に受け取ることができなくなる。そこで、信号分配器 (DB) を設け、同期をとることにする。

また、3.3 節で構成した有限制御部の入出力信号は、3 つのレスポンス信号、または命令信号の情報を 1 つの信号で代表させたものであった。このため、有限制御部とテープ・ユニットの間で 1 つの信号の持つ情報を 3 つの信号に分割したり、逆に 3 つの信号の持つ情報を 1 つの信号に合成しなければならない。この機能を果たすのが、符号復号化器 (E/D) である。

これら 2 つの回路 (信号分配器、符号復号化器) 間に

は、3 つの命令信号、または 3 つのレスポンス信号と 1 つの信号 "1" (プロセス信号とよび、これ自体は命令やレスポンスに関する情報を持っていない) が行き来する。

3.4.1. 信号変換器の設計

この節では、信号分配器、復号符号化器を構成するために必要な信号変換器の設計を行う。

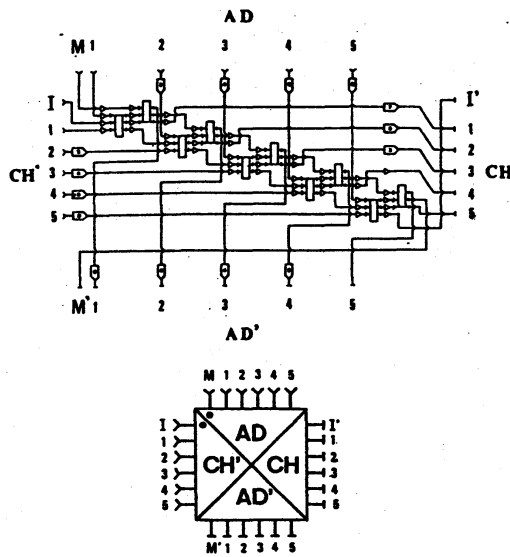
信号変換器は、異なる 5 本の入力線の何れか 1 箇所から与えられた信号 "1" と、1 本の入力線から与えられた信号 "1" を相互作用させ、前者を 1 本の出力線に合流させるとともに、前者の入力線に依存して後者を異なる 5 本の出力線へ分岐させる回路である。(図 3.13)。

入力線 I から入った信号 "1" は、入力線 AD₁ ~ AD₅ (アドレスとよぶ) のいずれか 1 箇所から入った信号 "1" (アドレス信号とよぶ) によって分岐され、それぞれ出力線 CH₁ ~ CH₅ (チャンネルとよぶ) から出力される。このとき同時に、アドレス信号はそれが入ったアドレスに依らず、出力線 M' に出力される。

また、I から信号 "1" を与えたとき、アドレス信号が与えられていなければ、I からの信号は出力線 I' から出力される。

さらに、I に信号 "1" が与えられていない場合には、アドレス AD₁ ~ AD₅、または、CH₁' ~ CH₅' (通過チャンネルとよぶ) に信号を与えると、アドレス信号はそれぞれ出力線 AD₁' ~ AD₅' (通過アドレスとよぶ) から、チャンネル信号もそれぞれ対応する通過チャンネルからそのまま出力される。

信号変換器の周期は、10 である。



(図 3.13)

信号変換器の回路図とその表記法

領域 CH の記号「・」は、入力線 I を表し、領域 AD の記号「・」は、入力線 M を表す。

以下では、信号変換器を用いて、信号分配器と復号符号化器を構成する。

3.4.2. 信号分配器 (DB) の設計

信号分配器 (DB) は、各々 2 つの信号リザーバーからなる信号分配ユニット (DU) を 3 つ用いて構成される。

信号分配器には、3 つのテープ・ユニットそれぞれへの命令信号に加え、1 つの信号 "1" (プロセス信号) が有限制御部方向から送られてくる。命令信号の情報は、全て一時的に信号分配器に蓄えられ、次に、各々の命令が 1 つずつ実行される。このときテープ・ユニットから返ってくる

レスポンスの情報も全て一時的に蓄えられ、最後に全て同時に有限制御部方向に出力される。

3.4.2.1. 信号リザーバーの設計

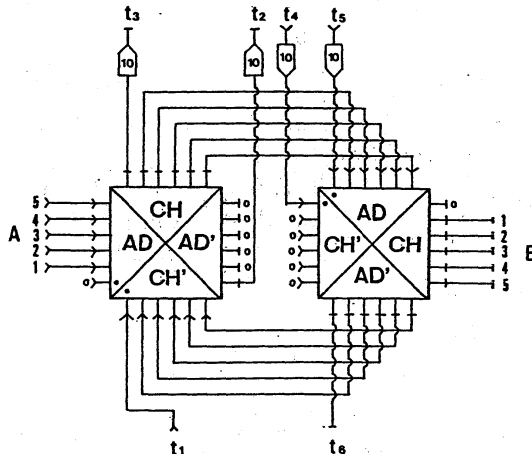
信号リザーバーは、異なる5本の入力線のどれか1つから入った信号"1"の情報(どの入力線から入ったか)を取り込み、ある時間をおいて、その情報を取り出すための回路である(図3.14)。この回路は、2つの信号変換器からなり、一方は信号の情報の取り込み、他方は信号の情報の取り出しに使われる。情報の取り込み、取り出しは、情報を担った信号と、この情報を記憶ループに出し入れするためのタイミング信号を同期させて入力することによって行われる。

信号の情報を蓄えるために、一方の信号変換器のチャンネル、通過チャンネルと他方の信号変換器のアドレス、通過チャンネルを対応する番号でそれぞれ接続し、5つの記憶ループ(信号レジスタとよぶ)を構成する。

(i) 情報の取り込み

入力線 $A_1 \sim A_5$ のどれか1つから信号"1"が入り、入力線 t_1 から信号"1"(取り込みタイミング信号)が入ると、取り込みタイミング信号は、 $A_1 \sim A_5$ のうちのどの入力線から信号"1"が入ったかによって、異なる信号レジスタ(A_i からの信号"1"に対して、信号変換器の入出力線 CH_i 、 CH_i' 、 AD_i 、 AD_i' を通る記憶ループ)に取り込まれる。また、 $A_1 \sim A_5$ から入った信号"1"は出力線 t_2 から出力される。

一方、 $A_1 \sim A_5$ のどこにも信号"1"が与えられていなければ、 t_1 から入った信号"1"は、出力線 t_3 から出力される。



(図3.14)

信号リザーバーの回路図

(ii) 情報の取り出し

信号の情報が取り込まれたあと、入力線 t_4 から信号"1"(取り出しタイミング信号)が入ると、このタイミング信号は、5つの信号レジスタのどれが状態"1"かによって、それに対応した出力線 $B_1 \sim B_5$ の何れかに出力される。一方、信号レジスタ中の信号"1"は、出力線 t_5 から出力される。しかし、 t_4 から取り出しタイミング信号が与えられなければ、信号レジスタの状態は維持される。

信号リザーバーの周期は20である。

3.4.2.2. 信号分配ユニット(DU)

と信号分配器(DB)の構成

ここでは、信号リザーバーを用いて、信号分配ユニットを構成する。さらに、信号分配ユニットを3つ接続し、信号分配器を構成する。

信号分配ユニット(DU)は、有限制御部から1つのテープ・ユニットへの命令信号と、1つのテープ・ユニットから有限制御部へのレスポンス信号を一時的に蓄える回

路であり、2つの信号リザーバーからなる(図3.15)。特に、命令情報を蓄える信号リザーバーを出力リザーバー、レスポンス情報を蓄える信号リザーバーを入力リザーバーとよぶ。また、出力リザーバーの信号レジスタを命令レジスタ、入力リザーバーの信号レジスタをレスポンスレジスタとよぶ。

テープ・ユニットに対する命令の処理が行われている間は、出力リザーバーに与えられた信号(取り出しタイミング信号)は、テープ・ユニットからのレスポンス信号待ちの信号となる。この信号をレスポンスが返ってくるまで取り込んでおくために、出力リザーバーの出力線 t_5 、入力線 t_5 と入力リザーバーの入力線 t_1 、出力線 t_3 をそれぞれ接続し、記憶ループ(待機ループとよぶ)を構成する。

(i) 命令信号情報の取り込み

有限制御部から入力線 $C_1 \sim C_5$ に命令信号が入り、同時に入力線 T_1 から取り込みタイミング信号として信号"1"が入ると、命令レジスタに命令信号の情報が記憶され、出力線 T_2 から信号"1"が、出力される。

(ii) 命令信号情報の取り出し

このあと、入力線 T_3 から信号"1"が取り出しタイミング信号として入ると、命令レジスタに記憶された情報に応じ、出力線 W_1 、 W_0 、 RS 、 LS 、 ZS の何れかからテープ・ユニットに向け命令信号として出力される。一方、信号レジスタ中の信号"1"は、待機ループに取り込まれる。

(iii) レスポンス信号情報の取り込み

テープ・ユニットから入力線 R_1 、 R_0 、 RSR 、 LSR 、 ZSR の何れかにレスポンス信号が入り、これと同時に、待機ループ中の信号"1"が取り出しタイミング信号として入力リザーバーに入ると、レスポンスレジスタにレスポンス情報が記憶され、出力線 T_4 から信号"1"が出力される。

(iv) レスポンス信号情報の取り出し

このあと、入力線 T_5 から信号"1"が、取り出しタイミング信号として入ると、レスポンスレジスタに記憶された情報に応じ、出力線 $R_1 \sim R_5$ の何れかからレスポンス信号として出力される。また、信号レジスタ中の信号"1"は、 T_5 から出力される。

信号分配ユニットの周期は、40である。

次に、信号分配ユニットを3段に重ねて接続し信号分配器(DB)を構成する(図3.16)。

テープ・ユニットに対する有限制御部からの3つの命令信号とプロセス信号(入力線 P から与えられる)は、信号分配器に同時に入力されるものとする。

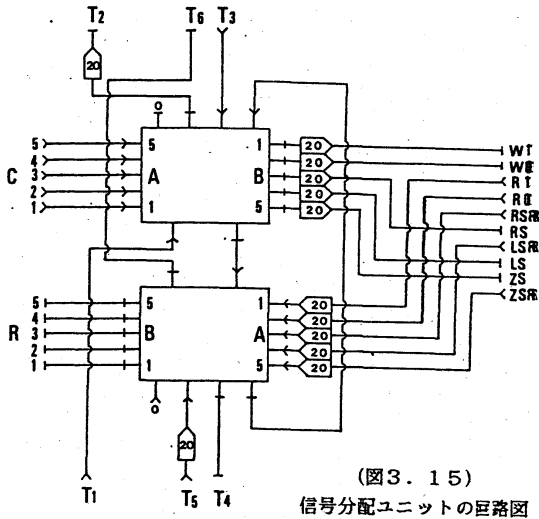
まず、最下段(第3段)から最上段(第1段)の信号分配ユニットにかけて、各信号分配ユニットに与えられた命令信号の情報を、順次記憶する。このあと、最上段から最下段にかけて、テープ・ユニットに対する命令の実行とテープ・ユニットからのレスポンス信号の情報の記憶を順次行う。最後に、最下段から最上段にかけて、レスポンス情報を取り出し、レスポンス信号として、それらを同時に有限制御部へ送る。このとき、プロセス信号も同時に有限制御部方向に出力される。

3.4.3. 符号復号化器(E/D)の設計

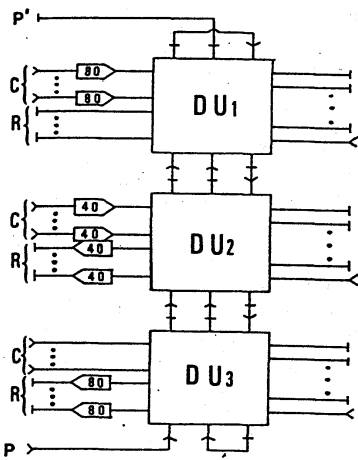
各テープ・ユニットへの命令信号(5種類)と、そのレスポンス信号(5種類)は、共に5本の信号線で伝えられている。したがって、3つのテープ・ユニットに対して、命令信号とレスポンス信号は、共に計15本の信号線で伝えられている。一方、有限制御部においては、テープ・ユニットへの3つの命令信号とそれからの3つのレスポンス信号は、それぞれの3つの信号の組の数に対応する125本の信号線で伝えられる。

符号復号化器(E/D)は、これらの信号線間の符号の変換を行う回路であり、復号化器(DU)と、これの逆の機能を持つ符号化器(EU)で構成される。

復号化器には、テープ・ユニット方向からの3つのレス



(図3.15) 信号分配ユニットの回路図



(図3.16) 信号分配器の回路図

プロセス信号に加え、レスポンス情報を持たない1つの信号“1”（プロセス信号）が送られる。プロセス信号は3つのレスポンス信号によって、125本の出力線のどこから出力されるかが制御される。このとき、3つのレスポンス信号は、符号化器と共有するの3つの記憶ループ（待機ループとよぶ）に、レスポンス情報を持たない信号“1”としてそれぞれ取り込まれる。

符号化器は、有限制御部からの命令信号として、125本の入力線の1箇所から命令情報を持つプロセス信号が送られる。3つの待機ループ中の信号“1”は、プロセス信号によって、それぞれ5本の信号線のどこから出力されるかが制御され、第1、第2、第3テープ・ユニットに対する命令信号として出力される。このとき、プロセス信号は、命令情報を持たない信号“1”としてテープ・ユニット方向に送られる。

3.4.3.1. 復号化器（DU）の設計

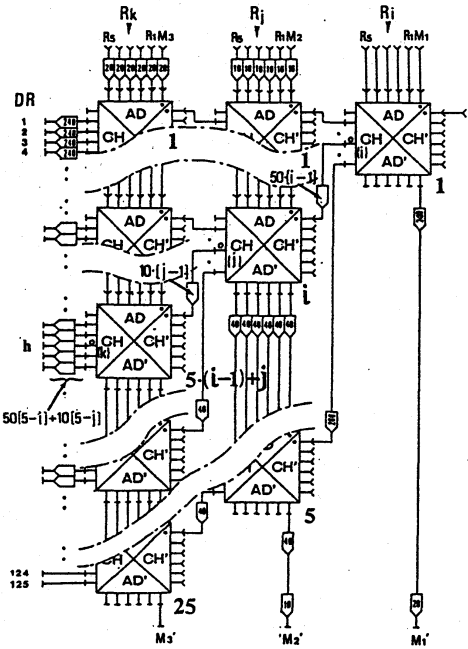
復号化器（DU）は、3段の信号変換器列からなり、第1列、第2列、第3列は、それぞれ1個、5個、25個の信号変換器で構成される。但し、各信号変換器には、信号の同期をとるためのユニット・ワイヤが、適当な数だけ接続されている（図3.17）。

各列の5本の入力線 $R_1 \sim R_5$ （レスポンス信号入力線とよぶ）からは、それぞれテープ・ユニットのレスポンス信号が入力される。このとき、その列の各信号変換器において、その入力線 I からプロセス信号が入ってくれば、これを分岐してチャンネルから出力する。また、プロセス信号を分岐した各列のレスポンス信号は、出力線 M' から出力される。しかし、プロセス信号が入ってこなければ、レスポンス

信号は、この信号変換器を通過して、その列の次の信号変換器に入力されるようになっている。最終的には、各レスポンス信号は、それぞれ出力線 M_1' 、 M_2' 、 M_3' から出力される。

一方、第1列の信号変換器の入力線 P から入力されたプロセス信号は、各列において、各々のレスポンス信号によってそれぞれ5箇所に分岐され、最終的には125本の出力線（ $DR_1 \sim DR_{125}$ ）のうち、レスポンス信号の組（ R_i 、 R_j 、 R_k ）に対応する信号線に出力されることになる。

復号化器の周期は、270である。



(図3.17)

復号化器の回路図

太字は、その列での信号変換器の番号を表す。また、各信号変換器の結線されていない入力線、出力からは、定数“0”を与える、またはそれが出力される。

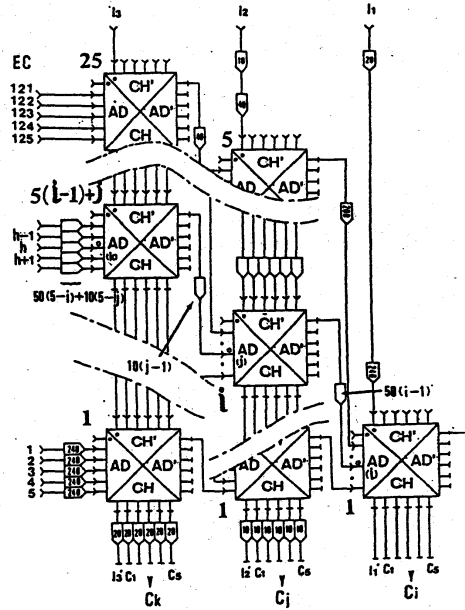
3.4.3.2. 符号化器（EU）の設計

復号化器（EU）は、3段の信号変換器列からなり、第1列、第2列、第3列は、それぞれ1個、5個、25個の信号変換器で構成される。但し、各信号変換器には、信号の同期をとるためのユニット・ワイヤが、適当な数だけ接続されている（図3.18）。

符号化器の入力線 EC_m （ $m=1, \dots, 125$ ）からプロセス信号が入ると、各列において、信号変換器の入力線 I から入った信号“1”を5箇所に分岐し、プロセス信号自体は、入力線 5 に対し出力線 1 の割合で合流される。最終的には、プロセス信号は出力線 P' から出力されることになる。

一方、第 n 列（ $n=1, 2, 3$ ）の入力線 I_n から入った信号“1”は、各信号変換器において、そのアドレスにプロセス信号が入ってくれば、これによって5本の出力線に分岐される。しかし、アドレス信号が入ってこなければ、その信号変換器を通過し、その列の次の信号変換器の入力線 I に入力されるようになっている。また、分岐された信号“1”は、各信号変換器をそのまま通過し、命令信号として出力線 $C_1 \sim C_5$ （命令信号出力線とよぶ）の何れかから出力される。

このように、125本の入力線（ $EC_1 \sim EC_{125}$ ）の何れか1本から命令情報を持つプロセス信号が入ると、この信号線に対応して、第1列、第2列、第3列の命令信号出力線から命令信号が出力されることになる。



(図3.18)

符号化器の回路図

太字は、その列での信号変換器の番号を表す。また、各信号変換器の結線されていない入力線、出力からは、定数"0"を与える、またはそれが出力される。

3.4.3.3. 符号復号化器 (E/D) の構成

ここでは、復号化器 (DU)、符号化器 (EU) を用いて、符号復号化器 (E/D) を構成する。

有限制御部には出力されない3つの信号"1"を蓄えておくために、復号化器の出力線 M_n' 、入力線 M_n と符号化器の入力線 I_n 、出力線 I_n' (但し、 $n=1,2,3$) をそれぞれ接続し、待機ループを構成する。

符号復号化器のレスポンス信号入力線から入った各テープ・ユニットからのレスポンス信号は、プロセス信号に情報を与えると、それぞれ待機ループに取り込まれる。一方、情報を受け取ったプロセス信号は、有限制御部に向けて出力される。

また、有限制御部から符号復号化器に命令情報を持ったプロセス信号が入力されると、待機ループ中の各信号"1"はこの情報を受け取り、命令信号出力からテープ・ユニットに向けて出力される。このとき、プロセス信号もテープ・ユニットに向けて出力される。

符号復号化器の周期は、540である。

3.4.4. インターフェイス部 (IU) の構成

インターフェイス部 (IU) は、有限制御部から出力された信号"1"の情報を3つのテープ・ユニットに送り、3つのテープ・ユニットからのレスポンス情報を1つの信号"1"にして、有限制御部に入力する回路である。

インターフェイス部は、信号分配器と符号復号化器を用いて構成される。このとき、信号分配器の第 n 番目 ($n=1,2,3$) の入力線 $C_1 \sim C_3$ と符号復号化器の第 n 列の命令信号出力線 $C_1 \sim C_3$ をそれぞれ接続し、信号分配器の第 n 番目の出力線 $R_1 \sim R_3$ と符号復号化器の第 n 列の入力線 $R_1 \sim R_3$ をそれぞれ接続すれば、インターフェイス部は、目的とする3つのテープ・ユニットと有限制御部の間の信号の整合を行うものとなる。

3.5. 各ユニットの接続と同期について

3.2~3.4節で設計した各ユニットを互いに接続すれば、可逆的な2記号3テープTuring機械が構成される。但し、ここで次のような問題を解決しなければならない。つまり、それぞれのユニットの周期が異なるため、各ユニットの記憶ループ上の信号と外部からの信号が同期しない場

合があり、このようなときには所望の動作は望めないことになってしまうということである。

ここで、互いに同期をとらなければならないのは、次のユニットである。

- (1) テープ・セルとZシフト・ユニット (テープ・ユニット)、(2) 信号分配ユニット (信号分配器)、(3) 符号復号化器、(4) 状態セル (有限制御部)

これらの同期をとるためには、各ユニットの周期を同じくすればよい。このためには、(i) 各ユニットの入出力線の適当な場所に適当な数だけユニット・ワイヤを挿入する。(ii) 各ユニットの記憶ループの適当な場所に適当な数だけユニット・ワイヤを挿入する。ここで、各記憶ループの周期は、他の記憶ループの周期の倍数か、そうでなければ、約数となるというのが必要条件である。

4. おわりに

本稿では、物理現象の基本法則に密着している可逆性と保存性をその性質として持つ論理ゲートを用いて、可逆的なTuring機械を設計する方法を示した。

ここで重要なのは、解かれるべき問題を予め作業用テープに与え (他のテープには、全てのます目に0が記入されている)、いったん計算を開始すると、それが終了するまでの間は、機械の外部には不要となった信号 (ゴミ情報) が放出されることが全くないということ、さらに、計算が終了した時点では、出力テープ上の計算結果を除いて、機械は計算を開始した時点の状況に戻るという点である。

Fゲートとユニット・ワイヤは、ビリヤード・ボール・モデルによって容易に構成できることが知られているので、本稿で示した設計法は、ビリヤード・ボールの完全弾性衝突を利用してTuring機械を構成する具体的方法だと解釈することもできる (ボールが信号"1"に対応)。理想的な状況では、これによって、計算に要するエネルギーを0にできる。

文 献

- (1) C.H.Bennett : " Logical reversibility of computation ", IBM J.Res.&Develop.,6,11, pp.525-532(1973).
- (2) R.Landauer: " Irreversibility and heat generation in the computing process ", IBM J.Res.& Develop.,5,pp.183-191(1961).
- (3) R.W.Keyes and R.Landauer: "Minimal energy dissipation in logic ", IBM J.Res. & Develop.,14,pp.152-157(1970).
- (4) E.Fredkin and T.Toffoli : " Conservative logic ", Int.J.of Theoretical Physics, 21,3/4,pp.219-253(1982).
- (5) 後野, 森田 : "可逆的2記号3テープTuring機械の構成 ", 信学技報, COMP86-48(1986-11).
- (6) C.H.Bennett : " The thermodynamics of computation - a review ", Int.J. of Theoretical Physics,21,12,pp.905-940 (1982)
- (7) C.H.Bennett and R.Landauer : " The fundamental physical limits of computation ", Scientific American, 253,1, pp.38-46(1985).
- (8) 森田憲一 : " 可逆的かつ保存的なFredkin の論理ゲートを用いたセル構造メモリーユニットの構成法 ", 信学論 (D),J69-D,6,860-867(1986).