

系列集合と時間の階層の関係について

神戸大学工学部 木村 晋二 (Shinji Kimura)

神戸大学工学部 羽根田 博正 (Hiromasa Haneda)

1. まえがき

論理回路のシミュレーション、設計検証、設計の等価変換などでは、種々の時間の階層が用いられる^{(1),(2),(3)}。例えば、順序のみのレベル、レジスタトランスファレベル、ゲートレベルなどである。論理回路のシミュレーションでは、上位のレベルを用いることによりシミュレーションの計算量を減らす。また、設計検証では、上位のレベルで設計仕様を与えることにより、設計の正しさを示す。さらに設計の等価変換では、時間の階層を変えることにより、設計の簡単化を行う。

ある階層の事象は、特定のイベントのみに着目すると、あるアルファベット上の系列として扱うことができる。よって、時間の階層間の関係は、それらの系列間(系列集合間)の関係として定義できる。

これまでの研究では、レベル間の対応として、一対一のものを考える場合が多かったようである。このような対応付けは、等価な関係を定義する場合には適しているが、時間の上位階層と下位階層の関係を定義する場合には適当でない。よってここでは、時間の階層の関係を系列集合を用いて定義する。時間の階層間の関係を定義することにより、シミュレーションモデルの簡単化、設計検証の位置付け、設計検証の限界などについて議論することができる。

2.では、時間の階層の定義を行う。3.では、系列集合を用いた論理回路のシミュレーション手法について述べる。4.では、時間の階層間の関係として、上下の関係および無矛盾な関係について述べる。5.では、具体的な時間の階層として、ゲートレベルにおける階層、RTレベルとゲートレベル、半順序のレベルと全順序のレ

ベルについて述べる。

2. 時間の階層

離散時間の仮定のもとでは、ある時間階層の事象は、その階層に対応するアルファベット上の系列で表わすことができる。例えば、1 ns を時間の単位とする階層の論理回路の端子上の値からなる系列が0011010となるなどである。ただし、系列の記述においては、通常のコネクトばかりでなく、一般化されたコネクト(並べ方)を考える必要がある。例えば、半順序を扱う時間の階層では、通常のコネクトと、並行動作を表す通常のコネクトとは異なるコネクト(ここではこれらを一般化コネクトと総称する)が用いられる。よって、ここでは、時間の階層を、アルファベット Σ および一般化されたコネクトの集合 $\{op_1, op_2, \dots\}$ からなる2項組 $(\Sigma, \{op_1, op_2, \dots\})$ であると定義する。

一般化コネクトの例としては、コネクト時に系列の一部を重ねる#-コネクト(0011#110=00110, 0111#11100=011100)や、shuffle演算($ab \circ c = \{abc, acb, cab\}$)などがある。

つぎに、二つの階層、階層1= $(\Sigma_1, \{op_{11}, op_{12}, \dots\})$ および階層2= $(\Sigma_2, \{op_{21}, op_{22}, \dots\})$ 、の関係について考察する。階層1と階層2の対応は、各階層のアルファベット Σ_1 と Σ_2 の間の対応を与える関数 $f: \Sigma_1 \rightarrow 2\Sigma_2^*$ (Σ_2^* のすべての部分集合からなる集合)、およびコネクト間の対応を与える関数 g により定義する。 f は、

$$f(x_1 \text{ op } x_2) = f(x_1) g(\text{op}) f(x_2)$$

により Σ_1^* に拡張されるとする。

3. 系列集合を用いた論理回路のシミュレーション

離散時間の仮定のもとでは、論理回路のシミュレーションは、系列に対する処理とみることができる。すなわち、論理回路の構成要素を系列の変換器とみて、与えられた入力系列に対し、各構成要素の出力系列を順次求めてゆくことが論理回路のシミュレーションであるとみるわけである。通常のコネクトシミュレーションでは、一つの系列に対して動作の模倣が行われるのに対し、系列の正規集合に対して一度にシミュレーションを行うことも考えられる。これが系列集合論理シミュレーション手法と呼ばれるものである⁽⁴⁾。

系列集合を扱うときの問題点は、論理回路の構成要素の入力系列集合と出力系列集合の要素間の対応をどのように与えるかである。例えば、単に系列集合というだけでは、図1に示す回路のANDゲートの二つの入力系列集合の要素間の対応がとれない。系列集合論理シミュレーション手法では、この問題を、図1(b)に示すように系列集合間の対応をとる信号(タイミング信号)を導入することで解決している。

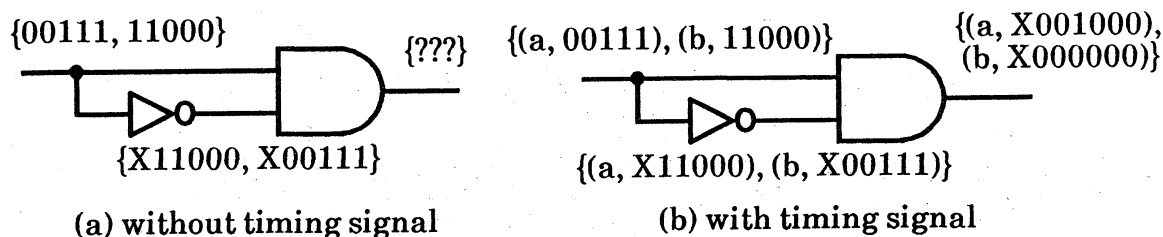


図1. 系列集合によるシミュレーション

図2に示す回路に対して、シミュレーションの手順を示す。まず、入力系列の集合として、 $\Sigma_A \times \Sigma_B \times \Sigma_C$ 上の正則集合を与える。つぎに、element 1の出力D上の系列集合を求める。このとき、入力系列集合を表すFAを、 $\Sigma_A \times \Sigma_B$ を入力、 Σ_C を出力とするFAと見て、これと、element 1の機能を表わす $\Sigma_A \times \Sigma_B$ を入力とし Σ_D を出力とするFAとを、 $\Sigma_A \times \Sigma_B$ の部分で共通集合をとる。これにより、 $\Sigma_A \times \Sigma_B$ を入力とし、 $\Sigma_C \times \Sigma_D$ を出力とするFAを構成できる。element 2の出力を求めるときには、 $\Sigma_A \times \Sigma_B \times \Sigma_C \times \Sigma_D$ 上の系列集合を受理するFAを、 $\Sigma_C \times \Sigma_D$ を入力、 $\Sigma_A \times \Sigma_B$ を出力とするFAと見て、element 2を表わすFAと共通集合をとる。これで、 $\Sigma_A \times \Sigma_B \times \Sigma_C \times \Sigma_D \times \Sigma_E$ 上の系列集合を受理するFAが得られる。これから、 Σ_D を消せば、 $\Sigma_A \times \Sigma_B \times \Sigma_C \times \Sigma_E$ 上の系列集合が得られる。この系列集合は、入力 $\Sigma_A \times \Sigma_B \times \Sigma_C$ と出力 Σ_E の関係を与える。

この手法に基づき、図3に示すように、閉路を含む回路のシミュレーションもできる⁽⁴⁾。基本的には、閉路を切断して、閉路上の系列集合を入力として与えることによる。

論理回路のシミュレーションにおいて正則集合を直接扱うことにより、仕様が正則集合で与えられる場合には、設計検証を行うことができる。また、正則集合論理シミュレーションでは、パルスの幅が5単位時間以上など、通常のシミュレー

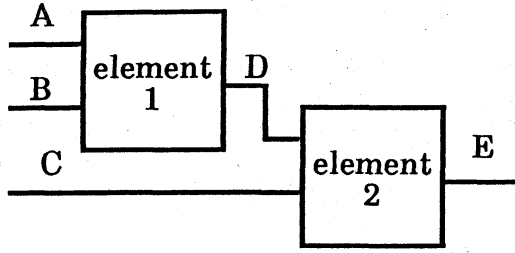
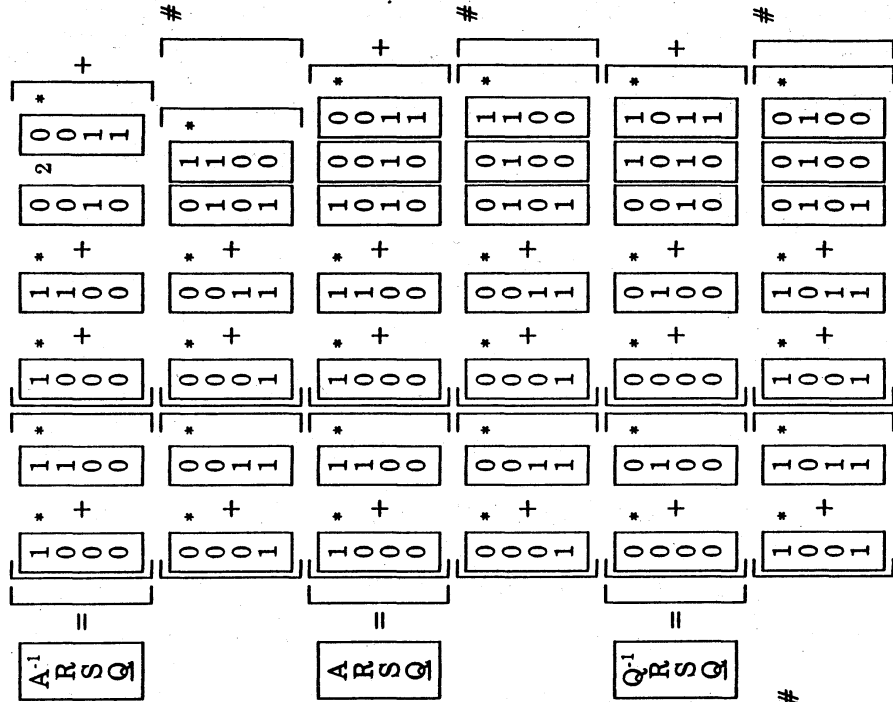


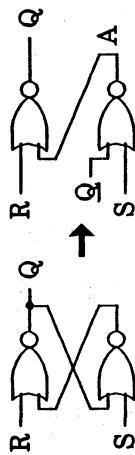
図2. 系列集合によるシミュレーションの手順



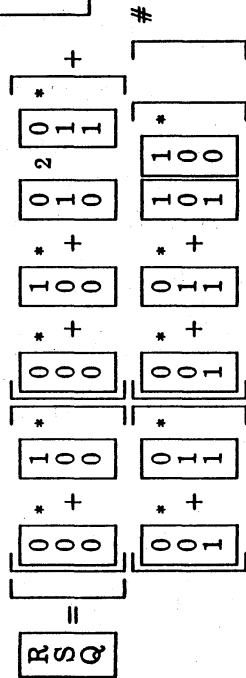
(d) Simulation results.

	Q	00	01	11	10
next Q		0	0	0	1
SR		1	1	0	1

(a) State assignment.



(b) Design of SR flip flop and a circuit for simulation.



(c) Specification of SR flip flop.

図3. 閉路を含む回路のシミュレーション

ションでは扱えない、系列の要素数が無限となる場合を扱うこともできる。さらに、時間の階層を系列集合間の対応と定義したとき、正則集合論理シミュレーション手法は、どの階層に対しても対処することができる。

4. 時間の階層の関係

4.1 上下の関係

時間の階層に対して、上下の関係を定めることができる。その方法としては、階層1と階層2の間の対応 (f, g) において、付加される情報の多い方が階層が下(抽象度が低い)と見るものである。情報の量の尺度としては、アルファベットの要素数、 x と $f(x)$ の長さ(あるいは記述量)、各階層における同一素子の記述量などが考えられる。

4.2 無矛盾な関係

階層1と階層2の対応を与える (f, g) について、シミュレーションとの関連で、以下のような両立性を考えることができる。

[両立性]

(f, g) で変換した入力に対しては、階層2でシミュレーションした結果が常に (f, g) の像となっており、 (f, g) に関して逆変換できる。 □

両立性については、以下のような性質が成立する。

(性質1)

素子に対して両立であるならば、素子を結合した回路に対して両立である。 □

(略証)

図2に示す回路のシミュレーション過程を考える。element 1について両立であるとは、図2において、 $\Sigma_A \times \Sigma_B$ 上の系列から、element 1で変換して Σ_D 上の系列を求めたときに、 Σ_D 上の系列が (f, g) の像となっていることである。よって、element 1の変換結果を $\Sigma_A \times \Sigma_B \times \Sigma_C \times \Sigma_D$ 上の系列として求めても、 Σ_D 上の系列に変換しても、どちらの場合でも (f, g) の像となっている。

以上より、適当な入力に対し $\Sigma_A \times \Sigma_B \times \Sigma_C \times \Sigma_D$ 上に現れる系列集合は、 (f, g) の

像である。つぎに、**element 2**についても両立であることがわかっているので、 $\Sigma_A \times \Sigma_B \times \Sigma_C \times \Sigma_D \times \Sigma_E$ 上の系列集合も両立である。なお、**element 2**について両立であることから、 Σ_D を除いて $\Sigma_A \times \Sigma_B \times \Sigma_C \times \Sigma_E$ 上の系列集合としたものも(f, g)の像である。□

(性質2)

レベル1とレベル2が両立であり、かつレベル2とレベル3が両立であるならば、レベル1とレベル3は両立である。□

つぎに、二つの階層間の弱無矛盾性について述べる。

[弱無矛盾性]

階層1と階層2が弱無矛盾であるとは、階層1と階層2の間に、両立な対応(f, g)が存在し、かつ図4に示すように、階層1で与えた任意の入力Aに対し、(f, g)で変換したA'を用いて階層2でシミュレーションした結果のB'を階層1へ戻したCと、Aに対して階層1でシミュレーションした結果のBが等しいことをいう。□

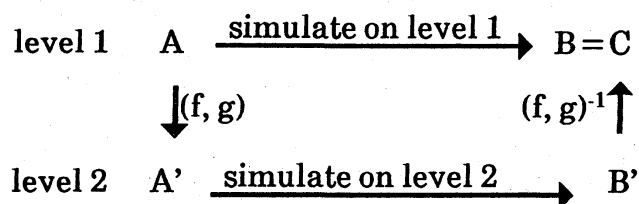


図4. 時系列のレベルの関係(弱無矛盾性)

弱無矛盾性についても、両立性と同様の性質が成立する。

(性質3)

素子について弱無矛盾であるならば、素子を結合した回路に対しても弱無矛盾である。□

(性質4)

レベル1とレベル2が弱無矛盾であり、かつレベル2とレベル3が弱無矛盾であるならば、レベル1とレベル3は弱無矛盾である。□

素子について弱無矛盾でない場合でも、全体として弱無矛盾であるような回路は考えられる。設計検証は、各回路毎の弱無矛盾性を調べるものであるといえる。二つの階層が互いに弱無矛盾であるとき、等価であると考えられる。

さらに、強無矛盾性を定義する。

[強無矛盾性]

階層1と階層2が強無矛盾であるとは、階層1と階層2が弱無矛盾であり、かつ階層2でのシミュレーションで、入力系列の長さにより出力の長さが影響を受けるならば、階層1のシミュレーションでも同様に影響を受けることをいう。条件の後半は、入力が xay のとき、出力が $O_xO_aO_y$ であるとき、 $xaay$ に対して $O_xO_aO_aO_y$ が出力されるならば、これらを (f, g) で変換した入力に対する階層2でのシミュレーション結果も、各々の出力を変換したものとなることをいう。□

強無矛盾であるとき、階層2での入力のズレが出力に影響を与えるならば、それは階層1でも現れるので、そのような入力に対して階層1でシミュレーションすれば発見できる。また、強無矛盾であるときには、階層2での記号の並びの長さが階層1にも反映されるので、階層1でシミュレーションを行えば十分である。

なお、強無矛盾性では、出力が入力により制御される場合のみを考えている。よって、図1に示す回路のように、出力のパルスの幅が入力に無関係に決まっているような場合は考えない。

5. 無矛盾な時間の階層

5.1 論理ゲートの遅延モデル

ここでは、論理ゲートの遅延時間の間にある関係について述べる。まず、純粹遅延モデルについて述べる。純粹遅延モデルは、論理ゲートの入力に入ってきた変化がそのまま出力されるものである。このとき、以下に示すような無矛盾性が成立する。

[最大公約数に関する無矛盾性]

論理ゲートを結合した回路を考え、各ゲートの遅延時間の最大公約数を n とする。このとき、もとの回路(下位レベル)と、各ゲートの遅延時間を n で割ったゲートからなる回路(上位レベル)との間に、以下に示す対応のもとで、強無矛盾性が成立する。

アルファベットはいずれのレベルでも $\{0, 1\}$ を用いる。またこれらの対応 f と

しては、上位レベルの記号 a に対し、 $f(a) = a^n$ (a を n 個並べた系列) とする。さらに、上位レベルの通常のコネクションには、下位のレベルの通常のコネクションを対応づける。□
(証明)

下位レベルのゲートについて弱無矛盾性が成立することから、弱無矛盾性が成立することは明らかである。また、回路において、入力記号の長さが直接出力に影響を与えることを仮定しているため、入力記号を n 個並べるならば出力も n 倍になり、強無矛盾性が成立する。□

図5に、最大公約数で割った前後の回路の例を示す。

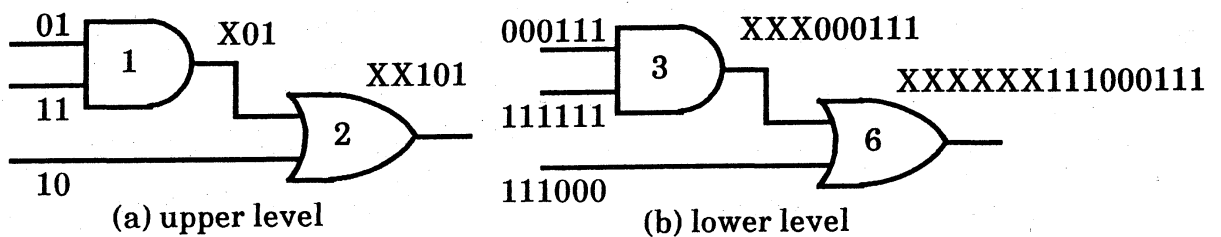


図5. 最大公約数による無矛盾性

最大公約数で割った遅延時間を用いることにより、論理ゲートを表わす有限オートマトンの状態数は、指数のオーダーで減るので、系列集合論理シミュレーション手法における計算量は非常に減少する。

あいまい遅延モデル(あいまいな間は値を **unknown** とするもの)、立ち上がり/立ち下がり遅延モデル、慣性遅延モデルなどについても、純粹遅延の場合と同様、最大公約数に関する強無矛盾性が導かれる。

5.2 レジスタトランスファレベルとゲートレベル

レジスタトランスファレベル(RTレベル)は、論理回路のシミュレーションのレベルとして広く用いられている。RTレベルでは、レジスタの出力が操作の対象である。アルファベットとしては、 $\{0, 1\}$ でよい。なお、レジスタの出力を4ビットずつまとめて符号化することもあるが、 $\{0, 1\}$ の階層と一対一対応がつく。接続は通常のものである。素子のモデルは、レジスタの出力に対して任意の論理演算が許されるので、遅延なしの論理ゲートモデルであると考えられる。

一方、ゲートレベルでは、各論理素子(論理ゲート)がある決まった遅延時間を持つ。アルファベットは $\{(0, 0), (0, 1), (1, 0), (1, 1)\}$ である。各記号 (a, b) の、 a は着目している端子の値を、 b はクロック端子の値を示している。アルファベットの対応としては、RTレベルの a に対し、

$$(a, 0)^*(a, 1)^*(a, 0)^* + (\Sigma\{a\}, 0)^*(X, 1)^5(a, 1)^*(a, 0)^*$$

を対応付ければよい。なお、ゲートレベルでのレジスタはポジティブエッジタイプであるとし、出力が変化するときには、5単位時間の間値が不定になるとしている。また、接続としては、最後に変化したところから重ねるような一般化接続 $(00111\#1110=001110)$ を対応付ければよい。

これらの対応のもとで、RTレベルとゲートレベルの上下関係を考える。まず、アルファベットの要素数は、ゲートレベルの方が多い。つぎに変換された後の系列の長さもゲートレベルの方が長い。さらに、RTレベルにおける論理ゲートは遅延0で、状態を持たないので、素子の記述量もゲートレベルの方が多い。よって、RTレベルの方がレベルが上であるといえる。

これらのレベルの間では、素子について弱無矛盾性が成立しないので、回路全体について、つねに弱無矛盾性が成立するとはいえない。よって、弱無矛盾性の成立は回路に依存し、検証の対象となる。

5.3 半順序のレベルと全順序のレベル

半順序のレベルの系列は、通常図6に示すような有向グラフで表される。図に表されているのは、 e_1 が e_2 より先であること、 e_2 が e_4 より先であること、 e_1 が e_3 より先であること、 e_3 が e_4 より先であることの4点である。半順序のレベルを表すには、一般化接続として、通常のコネクション(\cdot)と、順序を表さない一般化接続($:$)を用いればよい。図6の系列は、これらの一般化接続を用いることにより、 $e_1(e_2:e_3)e_4$ のよう

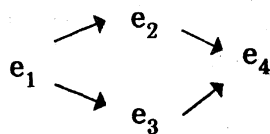


図6. 半順序における系列

に表すことができる。一方全順序のレベルは、通常の接続のみで表せる。

以下では、半順序のレベルの一般化接続に対応する、全順序のレベルでの接続について述べる。半順序のレベルにおける通常の接続に対しては、全順序のレベルでの接続を対応付ければよい。一方、順序を表さない一般化接続(:)に対しては、全順序のレベルにおけるshuffle演算を対応付ければよい。アルファベット間の対応を表す関数を f とすると、 $f(e_1(e_2:e_3)e_4)$ は、 $\{f(e_1e_2e_3e_4), f(e_1e_3e_2e_4)\}$ となる。

6. むすび

ここでは、論理回路のシミュレーションなどで用いられる、時間の階層について考察した。時間の階層をアルファベットおよび接続の集合で定義し、階層間の関係をこれらの対応で与えた。階層間の上下関係は、対応において付加される情報量を用いて定義できる。また、種々の時間の階層を扱うことができる、系列集合を用いた論理回路のシミュレーション手法について述べた。つぎに、各階層における論理回路のシミュレーション結果の等価性に関して、階層間に無矛盾な関係を導入し、それらの例を示した。とくに、論理ゲートの遅延モデルにおける強い無矛盾性は、遅延モデルの簡単化の基礎を与える。これらの階層の関係は、論理回路の設計検証における基本的な概念であり、今後も研究が必要である。

謝辞 日頃から御討論いただく京都大学矢島脩三教授に心から感謝いたします。

参考文献

- (1) M. A. Breuer and A. D. Friedman : Diagnosis & Reliable Design of Digital Systems, Computer Science Press, 1976.
- (2) K. J. Supowit and S. J. Friedman : "A New Method for Verifying Sequential Circuits," Proc. 23rd DA Conf., pp. 200-207, 1986.
- (3) J. D. Ullman : Computational Aspects of VLSI : Chapter 5, Computer Science Press, 1984.
- (4) 木村, 羽根田 : "系列集合論理シミュレーション手法に基づく非同期式順序回路の検証," 信学技報 VLD 87-118, Feb. 1988.