

電荷制御を使用した CMOS 4 値論理回路 の応用

東洋大学, 工 松本政之(Masayuki Matsumoto)
東洋大学, 工 渡辺龍起(Tatsuki Watanabe)
東洋大学, 工 榎田光明(Mitsuaki Enokida)
日本電気(株) 長良繁徳(Shigenori Nagara)

1. まえがき

クロックパルスによる電荷制御を使用した 4 値論理回路は, 従来の方法で複雑な回路を使用して実現したような論理演算や論理値電圧のレベル変換も簡単な回路で実現でき, さらに電荷制御に相当した動作サイクルを利用できるような同期式論理回路では, これらの動作によって回路全体の動作速度の低下を招くこともないことを前に報告した.⁽¹⁾

本稿では, 電荷制御を使用した MOS トランジスタ構成による多入力 4 値論理和回路と論理積回路を提案し, さらにこれらの回路を使った応用例を報告する. これらの回路は, 従来と同種の回路と異なり, MOS トランジスタを複数個並列に接続しており, 信号遅延の少ない回路構成となっている. このような多入力の演算回路は, 最近話題となっているファジィコンピュータの推論用電子回路として利用される.⁽²⁾

電圧モードを採用した多値論理回路は, ノイズマージンの関係からその論理値数が制限されるため, 本稿では 4 値信号線を 2 ビット使用する 4 進 2 桁方式による多入力論理和回路と論理積回路 (16 値に対応) を設計し, 従来の 2 進 4 桁方式 (16 値に対応) による回路設計例と比較した.

2. 論理代数と記号

2.1 変数

本稿では 4 つの論理値 $0, 1, 2, 3$ をそれぞれ基準電圧 E_0, E_1, E_2, E_3 ($E_0 = 0V, E_1 = 2V, E_2 = 4V, E_3 = 6V$) に対応させる.

4 値論理変数を大文字で表し, 変数 A, B, \dots は集合 $Q_4 = \{0, 1, 2, 3\}$ の 4 つの論理値の中のひとつをとるとする. アルファベットの小文字 a, b, \dots

2

はそれぞれ論理変数 A, B, \dots がとっている 4 値論理値の中のひとつの値を表す。

論理変数 A を 2 桁あるいは 4 桁を使用して表す場合は、例えば A_0, A_1, A_2, A_3 のように変数名の右下に添数字を書き、その数字が桁番号を表すこととする。

2.2 論理演算

4 値入力変数 X が論理値 $0, 1, 2, 3$ をとる各場合を位置表示の形にまとめて $X < 0 1 2 3 >$ のように表示する。2 つの 4 値入力信号が同時に入力されるような回路では、その回路の出力近くに 2 変数による真理値表のように出力表を書き示すこととする。

4 値論理和 (MAX) および 4 値論理積 (MIN) の演算記号は次のように表す。

$$\text{論理和} \quad X + Y = \text{MAX}(X, Y)$$

$$\text{論理積} \quad X \cdot Y = \text{MIN}(X, Y)$$

3. 使用する MOS トランジスタのモデルパラメータ

表 1 中のモデル名が $pm1$ と $nm1$ は、零バイアスしきい値電圧が約 0.5 V である PMOS と NMOS トランジスタであり、基板バイアス (V_{BS}) によるしきい値電圧の変化 (V_{th}^*) は、MOS トランジスタの特性式を使って計算し、その結果を図 1 に示す。 SiO_2 膜の厚さ (t_{ox}) = 400 \AA で、不純物濃度 (n_{sub}) が等しい場合、NMOS トランジスタと PMOS トランジスタのしきい値電圧の絶対値が等しくなるので、⁽³⁾ 図 1 には NMOS トランジスタの結果のみを示してある。このモデル名が $pm1$ と $nm1$ の MOS トランジスタは、回路動作範囲でそのしきい値電圧が約 1 V 前後であり、レベル変換回路と伝送ゲートに使用する。

表 1 使用する MOS トランジスタのモデルパラメータ

モデル名	不純物濃度 $n_{sub}(\text{cm}^{-3})$	しきい値電圧 $v_{to}(\text{V})$	バイアス定数 γ	チャネル幅 $W(\mu\text{m})$
pm0	5.0×10^{13}	-0.001	0.047	60
nm0	5.0×10^{13}	0.017	0.047	30
pm1	5.0×10^{15}	-0.472	0.472	60
nm1	5.0×10^{15}	0.489	0.472	30

しきい値電圧 (v_{to}) とバイアス定数 (γ) は計算による値
ゲート酸化膜の厚さ (d) は 400 \AA

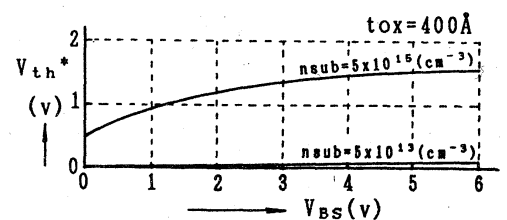


図 1 基板バイアス (V_{BS}) による MOS トランジスタのしきい値電圧の変化

表1の中のモデル名がpm0とnm0は、零バイアスしきい値電圧が0Vに近いエンハンスメント形MOSトランジスタであり、CMOS電圧ホロワ回路と論理演算回路(MAX, MIN)に使用する。

4. 使用するクロックパルス

図2は、電荷制御を使用したレベル変換回路や論理演算回路を動作させるためのクロックパルスの形式である。パルスの繰り返し周期は、図の中に示すように*0, *1, *2の3つの期間に分けられる。*0の期間は出力を遮断し、入力を読みだしの期間である。*1の期間は、クロックパルス(ϕ_1)によって回路の一部を最高あるいは最低電位に充電させる(電荷制御)期間である。

*2の期間は、組合せ回路の動作および回路の出力の期間である。

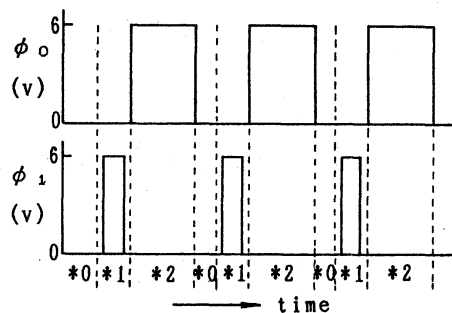


図2 使用するクロックパルスの形式

5. 各種基本回路

5.1 4値論理和回路および論理積回路とそれらの記号

2入力の4値論理和および論理積の回路図と記号を図3に示す。これらの回路動作は、前に報告したので省略する。(4)

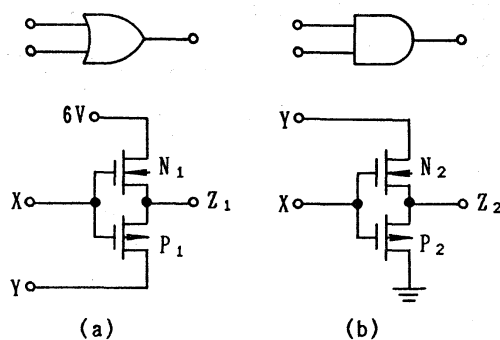


図3 4値論理和回路および4値論理積回路とその記号

5.2 電圧ホロワ回路とその記号

図3(a)のY端子を最低電位であるアース電位とするか、同図(b)のY端子を最高電位である6Vにつなぐことによって、これらの回路は入力Xの電位と等しい電圧を端子Z₁あるいはZ₂に出力する回路となる。従って、これらの回路は高入力イ

4

インピーダンスを有する電圧ホロワ回路⁽⁴⁾⁽⁵⁾として使用できる。その記号は図4のように表すこととする。

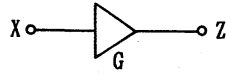


図4 電圧ホロワ回路の記号

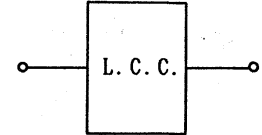


図5 レベル矯正回路の記号

5・3 レベル矯正回路

レベル矯正回路は信号レベルが論理値からずれた場合に規定の論理レベルに矯正するための回路であり、その回路図と動作原理は前に報告した⁽¹⁾ので省略し、回路の記号を図5のように表す。

5・4 レベル変換回路

電荷制御を使用したレベル変換回路を前に報告したが⁽¹⁾、本節では、応用例で重要な役割を持つので、その回路と動作原理を簡単に述べる。

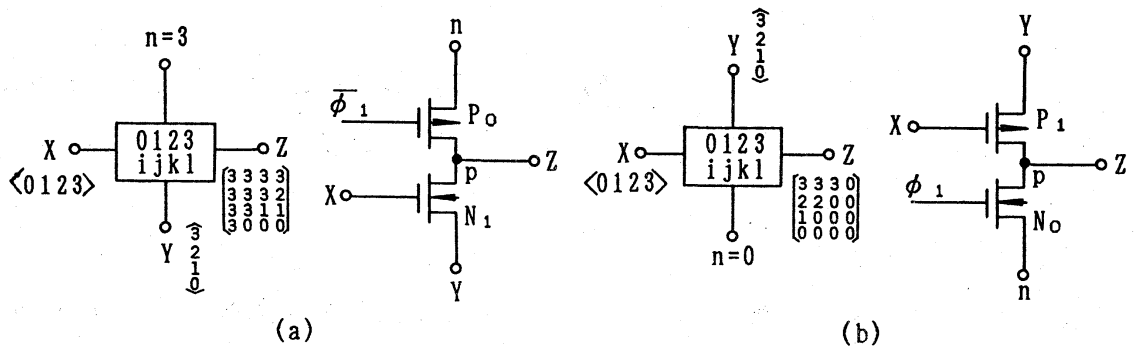


図6 レベル変換回路とその記号

図6 (a) は2つの入力変数 X と Y の論理値によってNMOSトランジスタ (N_1) を導通あるいは不導通とし、その結果を p 点に出力するようなレベル変換回路である。動作原理は、先ずクロックパルス ϕ_1 によってPMOSトランジスタ (P_0) を導通し、 p 点の電位が n 端子と同電位 (図の場合は論理値"3"の6V) になる。 p 点の電位はPMOSトランジスタが不導通となった後も浮遊容量などによる微小キャパシタにより、その電位が保持されている。次に入力 X と Y の電位関係によってNMOSトランジスタ (N_1) が導通するか、不導通かにより p 点の電位は入力 Y の電圧となるか、6Vのままとなる。入力変数 X と Y の論理値が図のように変化した場合の p 点の論理値変化 (2入力の真理値表のように) を出力端子 Z の近くに示す。

図6 (b) のレベル変換回路の動作は、同図 (a) と同じように、まず、クロックパルス ϕ_1 によってNMOSトランジスタ (N_0) を導通し、 p 点の電位が n 端子と同電位 (図ではアース電位) となる。その後は同図 (a) の回路と同様に動作する。

6. n 入力4値論理和 (MAX) 回路と論理積 (MIN) 回路

本節では、電荷制御を使用した n 入力4値論理和回路と論理積回路を提案し、それらの回路動作を述べる。図7で並列に接続されているNMOSトランジスタ (N_1, N_2, \dots, N_n) は、表1の中のモデル名が $nm0$ で、しきい値電圧が0ボルトに近いものである。

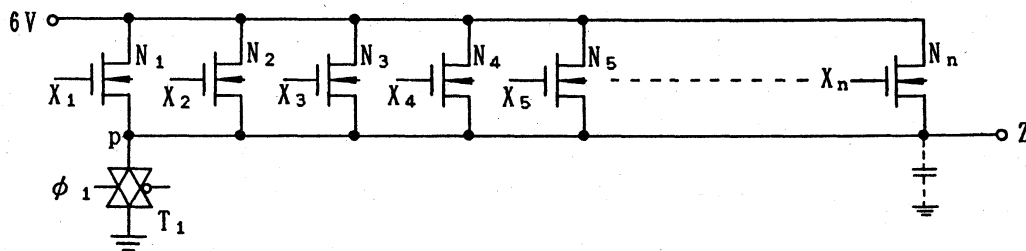


図7 n 入力4値論理和 (MAX) 回路

この回路の動作は、先ず図2のクロックパルス ϕ_1 (*1) によって伝送ゲート (T_1) を導通し、 p 点の電位が論理値の最低電圧であるアース電位となる。 p 点の電位は、伝送ゲートが不導通となった後も浮遊容量などによる微小キャパシタによってその電位が保持される。次にNMOSトランジスタのソース端子である p 点の電位は、ゲートに入力される変数 (X_1, X_2, \dots, X_n) の中で最大電圧が入力されるNMOSトランジスタがソースホロワ動作を行うことによって、その入力電圧に近

図9は、6節で提案した多入力4値論理和回路とレベル変換回路などを用いて設計した $m+1$ 入力4進2桁方式による論理和(MAX)回路である。

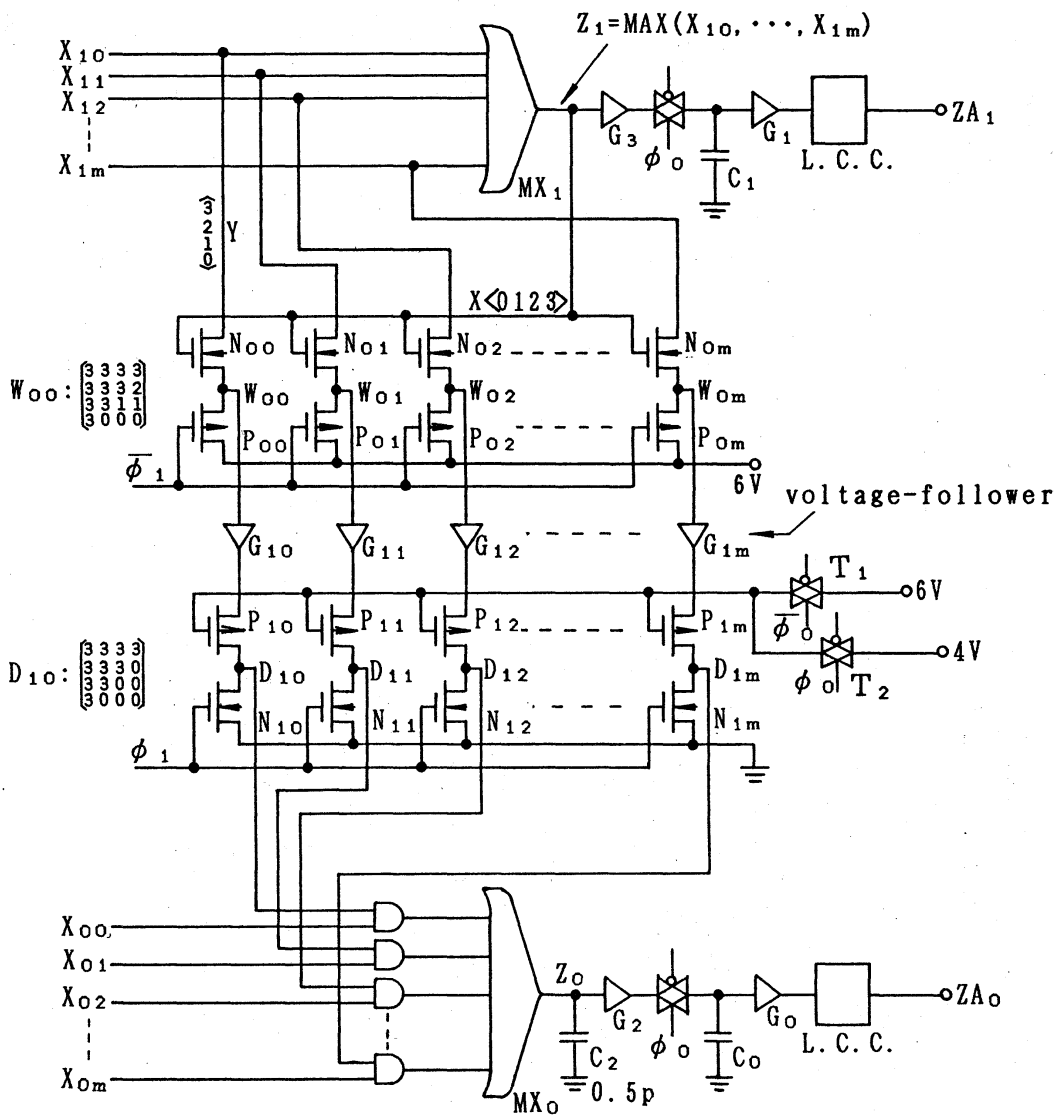


図9 $m+1$ 入力4進2桁論理和(MAX)回路

図9の回路構成は、 $m+1$ 個の論理変数の1桁目(X_{10} , X_{11} , X_{12} , ..., X_{1m})が多入力4値論理和回路(MX_1)に入力され、それらの中の最大論理値に等しい電圧が Z_1 に出力され、次のレベル変換回路のゲートに入力されている。レベル変換回路のNMOSトランジスタ(N_{00} , N_{01} , N_{02} , ..., N_{0m})のソース端子には、それぞれ入力変数の1桁目が入力されている。従って、それらのレベル変換回路の出力(W_{00} , W_{01} , W_{02} , ..., W_{0m})には、入力変数の中で最大

論理値である X_{1i} のものに対応する W_{0i} が論理値 "3" (6 V) となり, 他は 1 桁目の入力変数と同じ電圧となる. 図中の G_{10} , G_{11} , G_{12} , \dots , G_{1m} は電圧ホロワ回路であり, 負荷となる次段の回路の影響を防ぐ役割をしている.

次の回路は, 前のレベル変換回路からの信号の論理値が "2" (4 V) 以下のものを論理値 "0" に変えるレベル変換回路である. 図中の伝送ゲート T_1 と T_2 は, *1 の期間のクロックパルス (ϕ_1) によって NMOS トランジスタ (N_{10} , N_{11} , N_{12} , \dots , N_{1m}) を導通させる時に PMOS トランジスタ (P_{10} , P_{11} , P_{12} , \dots , P_{1m}) が同時に導通しないようにするための切替えに使用している. このようにして D_{10} , D_{11} , D_{12} , \dots , D_{1m} の電圧は, 入力 (X_{10} , X_{11} , X_{12} , \dots , X_{1m}) の中で最大のものに対応した D_{1i} のみが最高電圧である 6 V となり, 他は 0 V となる.

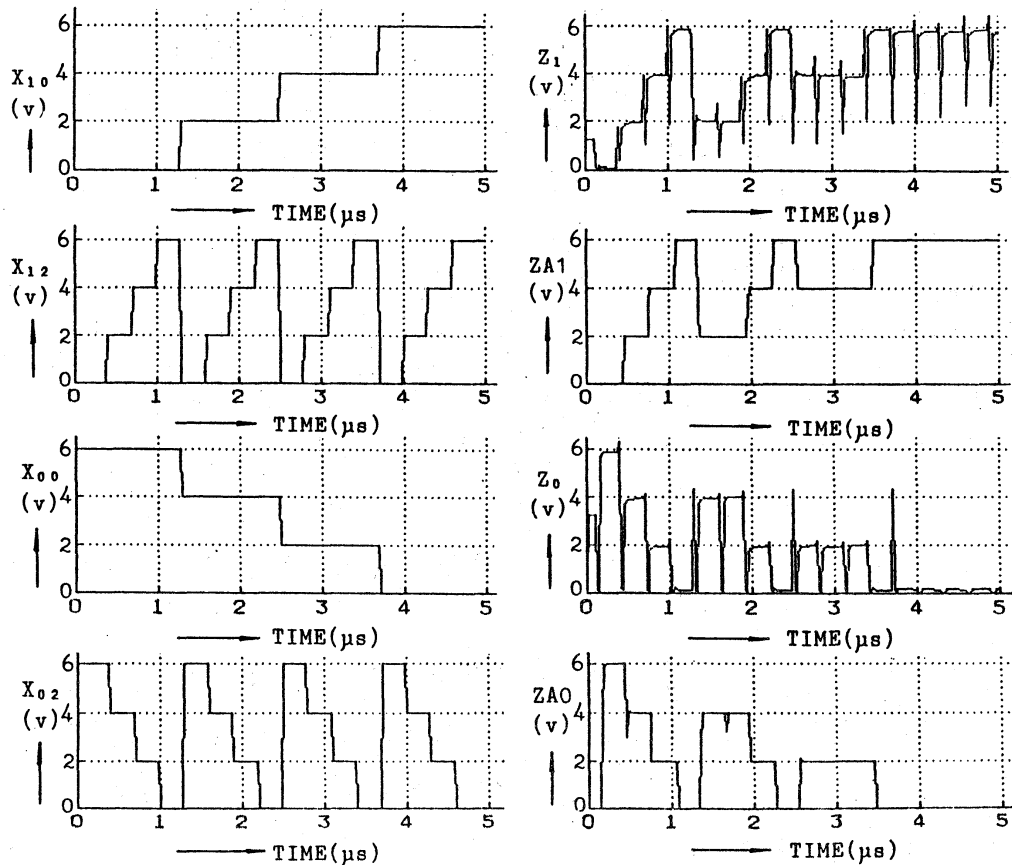


図 10 $m+1$ 入力 4 進 2 桁論理和回路のシミュレーション結果

次に、2入力論理積(MIN)回路の一方の入力端子に、それぞれの入力変数の0桁目(X_{00} , X_{01} , X_{02} , \dots , X_{0m})をつなぎ、他方の入力端子には前述の D_{10} , D_{11} , D_{12} , \dots , D_{1m} がつながれている。多入力論理和回路(MX₀)には D_{1i} (6V)の対である X_{0i} が選択されて入力するので、MX₀の出力 Z_0 は X_{0i} と等しい論理値となる。このようにして図9は、 $m+1$ 入力の4進2桁論理和回路として機能する。SPICE2によるシミュレーション結果を図10に示す。

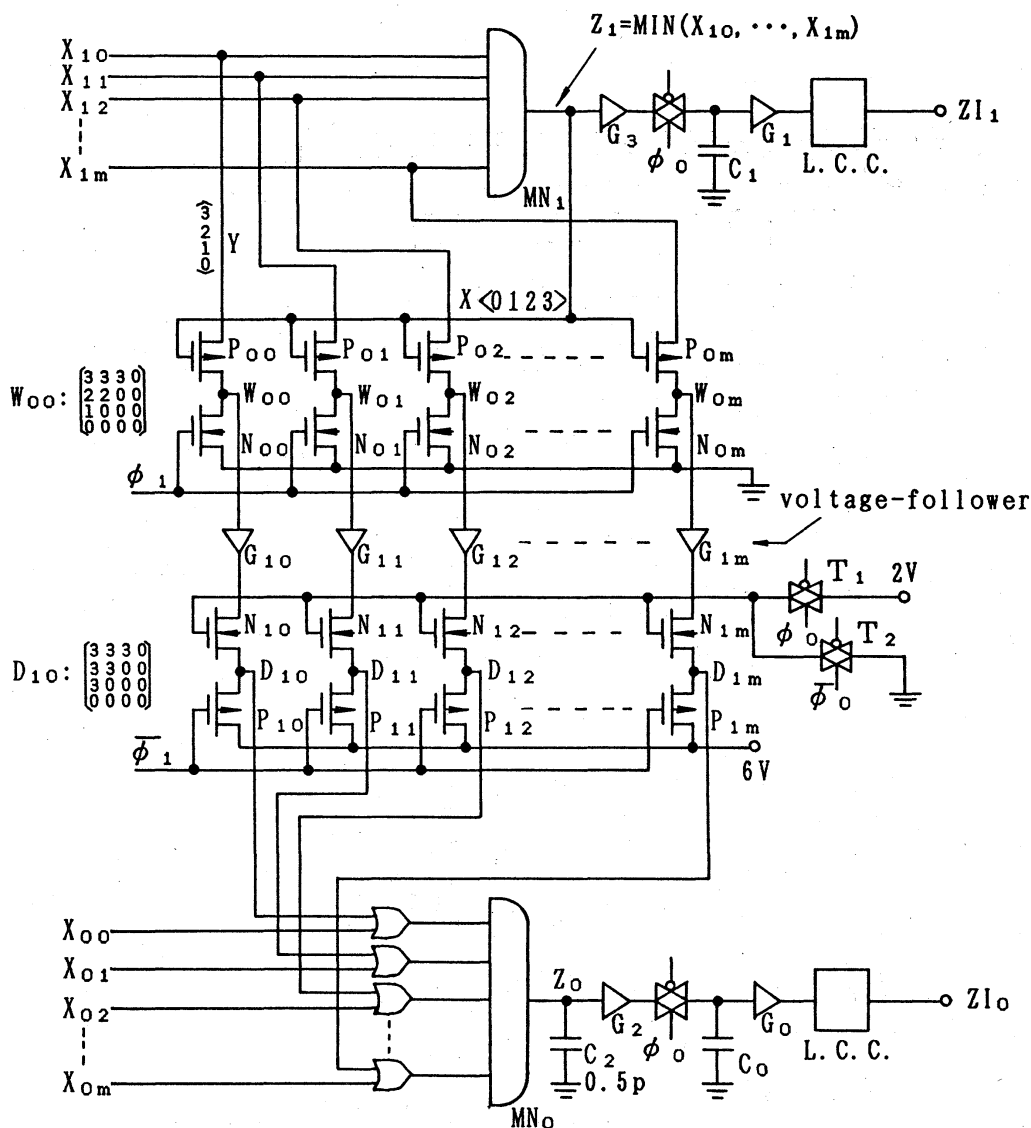


図11 $m+1$ 入力4進2桁論理積回路

$m+1$ 入力 4 進 2 桁論理積 (MIN) 回路は、前述の論理和回路の場合と同様の設計方針により図 1 1 の回路で表される。図 1 1 の中の n 入力 4 値論理積回路 (MN_1) は、6 節で提案したように多数の入力変数の中から論理値の最小のものを選択する役割を果たしている。

8. 2 進 4 桁方式による論理和 (MAX) 回路と論理積 (MIN) 回路

7 節で述べた 4 進 2 桁方式 (16 値に対応) と比較するために本節では 2 進 4 桁方式 (16 値に対応) による演算回路の設計例を述べる。

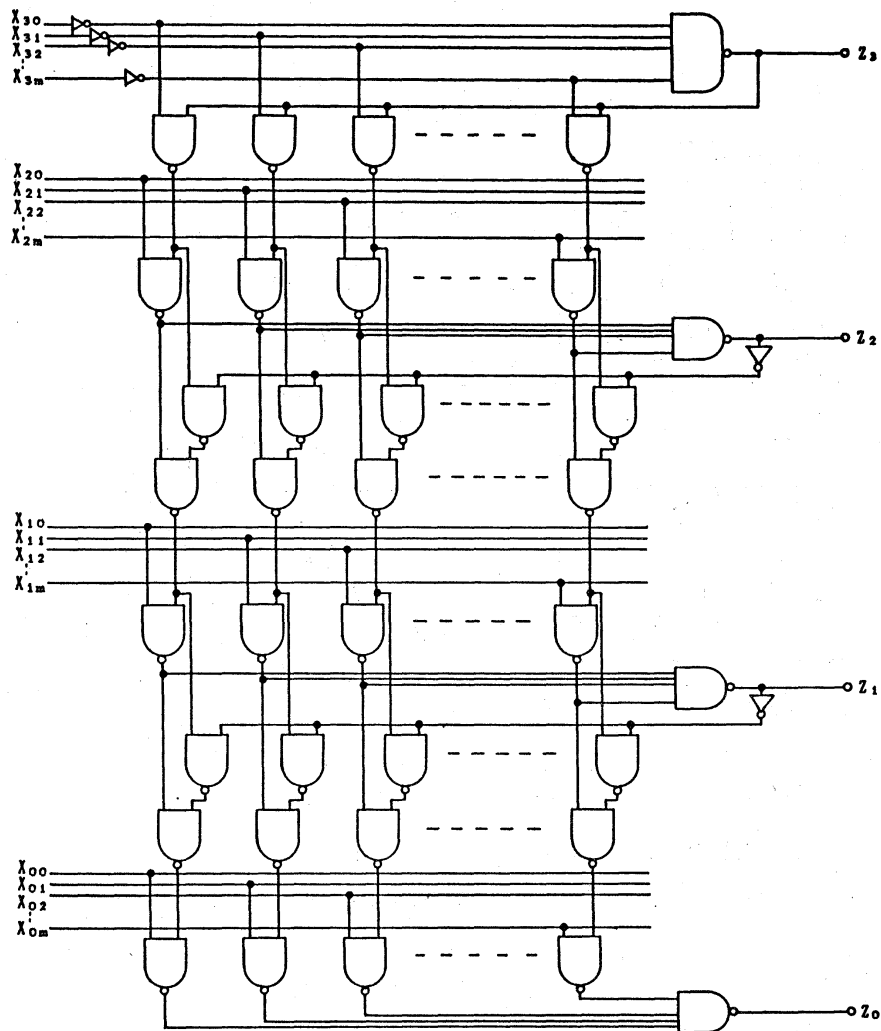


図 1 2 $m+1$ 入力 2 進 4 桁論理和回路

図12は、7節の設計方針と同じく2進4桁信号の最上位桁 (X_{30} , X_{31} , \dots , X_{3m}) の $m+1$ の入力変数の中で最大 (この場合は2値変数であるので論理値が1) のものを選択し、その情報を次の桁 (X_{20} , X_{21} , \dots , X_{2m}) の選択に利用するような回路方式であり、NANDゲートを用いて構成した2進4桁方式論理和 (MAX) 回路の設計例である。図13は図12を市販のCMOSゲートを用いて構成した回路の動作波形である。

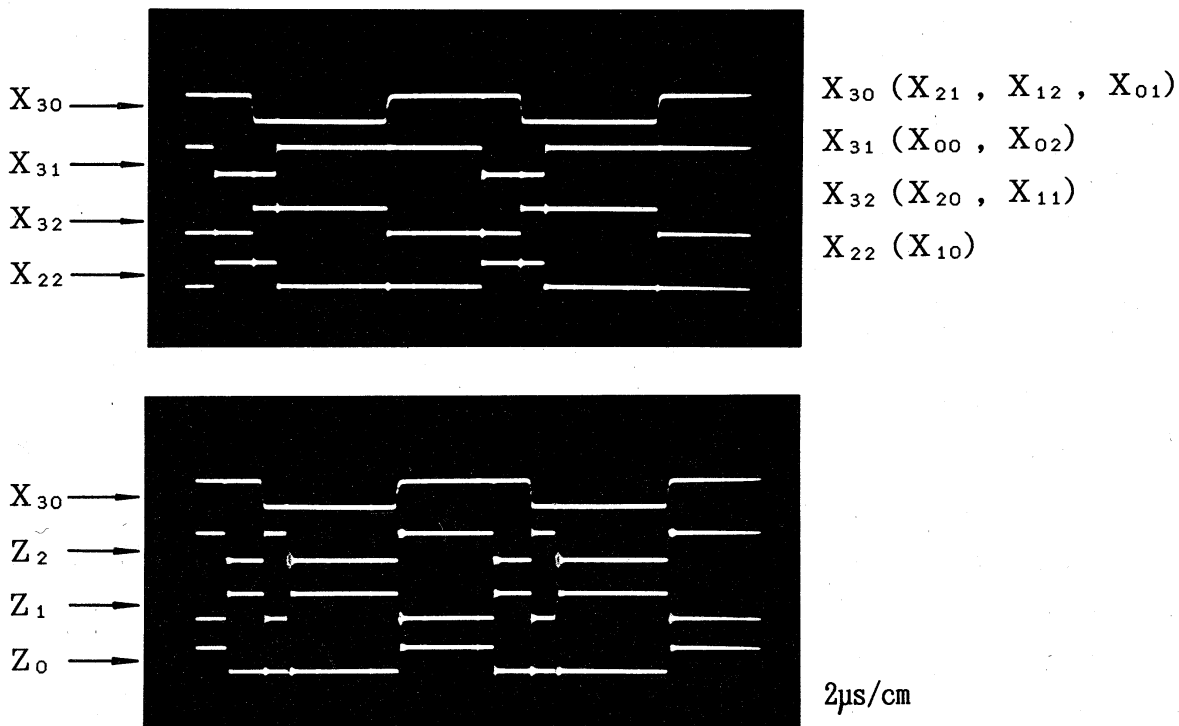


図13 $m+1$ 入力2進4桁論理和回路の出力波形

次に、図14は論理和回路と同様の設計方針による2進4桁論理積 (MIN) 回路の設計例であり、NORゲートを用いて構成した。

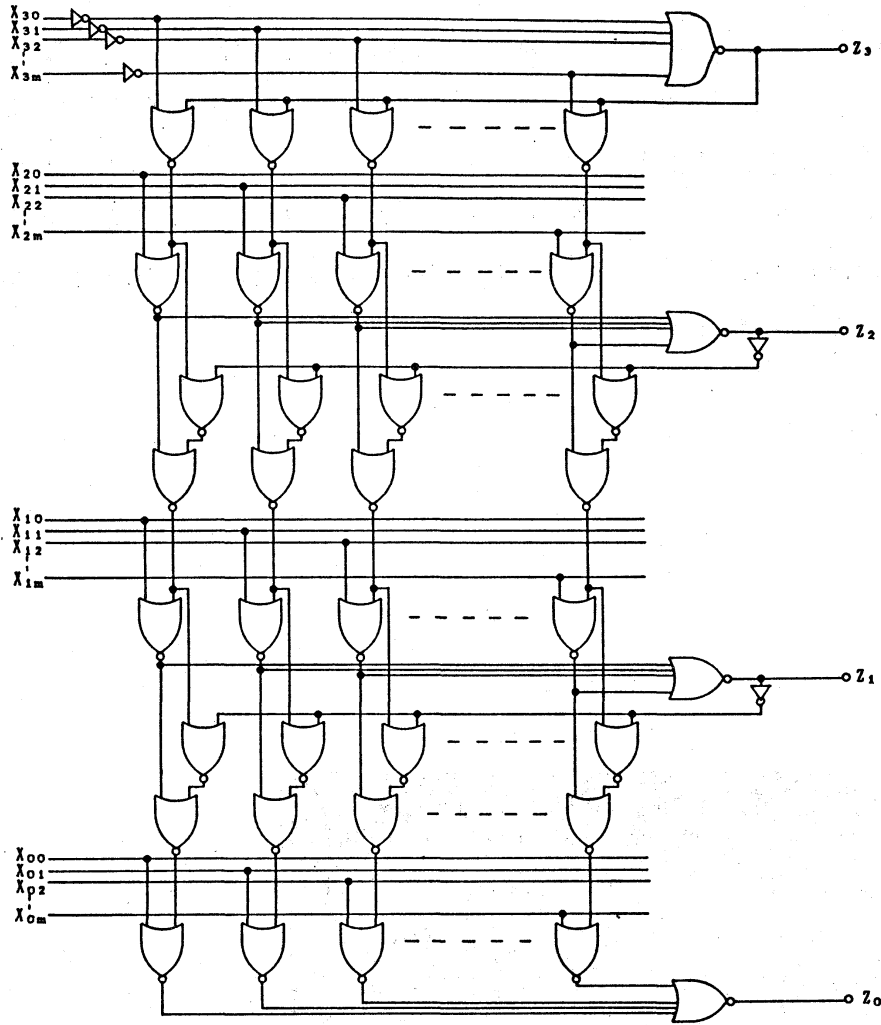


図 1 4 $m + 1$ 入力 2 進 4 桁論理積回路

4 進 2 桁方式による $m + 1$ 入力論理和回路 (図 9) の入出力の線数 (T_a) と MOS トランジスタの個数 (N_a) および 2 進 4 桁方式による $m + 1$ 入力論理和回路 (図 1 2) の入出力線数 (T_b) と MOS トランジスタの個数 (N_b) は表 2 に示す式によって表される。

表 2 入出力線と MOS トランジスタの個数

$m + 1$	4	1 6
$N_a = 1 0 (m + 1) + 4 2$	8 2	2 0 2
$T_a = 2 (m + 1) + 6$	1 4	3 8
$N_b = 2 6 (m + 1) + 4$	1 0 8	4 2 0
$T_b = 4 (m + 1) + 6$	2 2	7 0

$m+1$ が16の場合の4進2桁方式に比べて2進4桁方式のそれぞれの割合は線数が1.84倍, MOSトランジスタの個数が2.07倍となっている。

9. むすび

本稿では信号遅延が少なく, 入力数を容易に増加できる電荷制御を使用した多入力4値論理和回路と論理積回路を提案し, その有意性を示した。

4値信号線を2ビット使用する4進2桁方式は, 従来の2値回路と比較して, 入出力変数および値数の増加に伴ってその効果が生じ, 回路を集積化した場合に特に有利となる。

参考文献

- (1) 渡辺, 李, 松本: "電荷制御を使用したCMOS多値論理回路", 多値論理研究ノート, 第8巻, 第1号, 1987年7月。
- (2) 山川烈著: "ファジィコンピュータの発想" 講談社
- (3) 松本, 渡辺, 長良: "MOSトランジスタとキャパシタ・メモリを使った4値論理回路の設計", 電子情報通信学会論文誌(D), J70-D, No.1, pp.50-59(1987-01)。
- (4) 渡辺, 松本, 李: "CMOSを使用した論理和および論理積回路の提案と4値組合せ回路への応用", 多値論理研究ノート, 第7巻, 第10号, 1987年1月。
- (5) 松本, 渡辺, 李: "CMOSを使用したダイナミックメモリ方式4値同期式順序回路の設計", 電子情報通信学会論文誌(D), J70-D, No.10, pp.1866-1877(1987-10)。