

電流モード多値論理回路網に関する一考察

A Consideration of Current-Mode Multi-Valued Logic Networks

石塚興彦 黒木裕嗣 紀伊直人

Okihiko Ishizuka

Yuji Kuroki

Naoto Kii

宮崎大学 工学部

Department of Electronic Engineering, Miyazaki University

1. まえがき

論理回路において、信号を電圧レベルに対応させるか、電流レベルに対応させるかで、その回路構成は大きく異なる。前者を電圧モード、後者を電流モード回路と呼ぶ。筆者らは、これまで MOSFET を用いた電圧モードのパスランジスタ多値論理回路網について研究してきた^{(1), (2)}。最近、これを電流モードとして取り扱った回路が数多く提案され、実用的にも重要となってきた⁽³⁾⁻⁽⁵⁾。

電流モードは、電圧モードと異なり、節点における信号加算 (wired sum) の機能があるため、回路構成に大きな自由度が持たられるが、それと引き換えに、合成の手法が複雑となる。従って、これまでに発表された回路はヒュリステイックな考え方に基づいて得られたものが多く、更に新たな回路構成を考える余地も多い。

本報告は、MOSFET の電流モードにおける基本特性を考察し、電圧モードとの比較を行い、電圧モードで得られた回路構成のアルゴリズムと同様のものを電流モードに対して導くための手がかりを探るものである。先ず始めに、回路構成についての基本的考え方を示すと共に、基本回路とその特性について検討する。

一般に論理関数を回路実現する際には、次のような点が特に考慮される。

(1) 回路構成の最小化、(2) 回路の規則性、(3) 設計手順の簡単化

これらは互いに相反する性質を有していると言える。回路構成は一定の論理機能を有する

基本回路を単位として、その組合せや接続によって行われる。その基本回路の論理機能は大きければ大きい程設計は容易となるが、回路の単純化は計れなくなる。一方、電流モードの特徴を生かす構成の1つは、しきい値論理と関連づけることである。特に、1変数多値論理関数（ユーナリ関数）は、多値多しきい値関数と1対1に対応づけることができる。

以上のことから、本報告では、ユーナリ関数の実現とその回路単純化を取り上げて詳述する。一方では、このユーナリ回路を単位として回路構成することをもくろむと共に、一方では、ユーナリ関数の実現方法を2変数以上の関数にも拡張して適用できる道を模索する。最後に、付録として電流モード回路研究の簡単なサーベイを述べ、本研究とのつながりを示した。

2. パストランジスタ基本回路とその特性

図1は、しきい値判別器（TD）を有する電圧モードパストランジスタ（PT）回路網の基本回路を示す。図のように、PTの入力に電圧レベルを与えると、出力にも電圧レベルが現れる。従って、（）内に示すように入力に電流レベルを与えると出力では電流レベルで取り出すことができる。この際、入力としては一定のレベルを与える電流源（CS）と、入力変数を与える電流ミラー（CM）のいずれもが採用できる。又、しきい値判別器は前後に接続されたCM又はCSの大きさによって動作する floating threshold switch であり、電圧によってPTを ON/OFF させる。以上のことから、図2の電流モード基本回路を得ることができる。図におけるCM1とCSは、それぞれ電流源と電流ミラーで置き換えることが可能である。PTに与える入力レベルを決定するための電流源をPT用電流源と呼び、TDに与えるしきい値を決定するための電流源をTD用電流源と呼ぶ。ここで、電流の方向は入力側では入る方向（出力側では出る方向）を正にとる。

図2では電流レベルを正論理として、論理値又は論理変数で表している。TD及びPTの入出力の関係は次のように与えられる。

PTに NMOS を用いたとき、

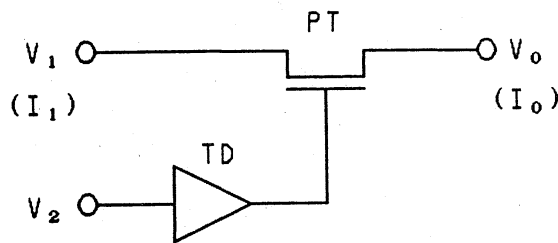


図1 パストランジスタ基本回路

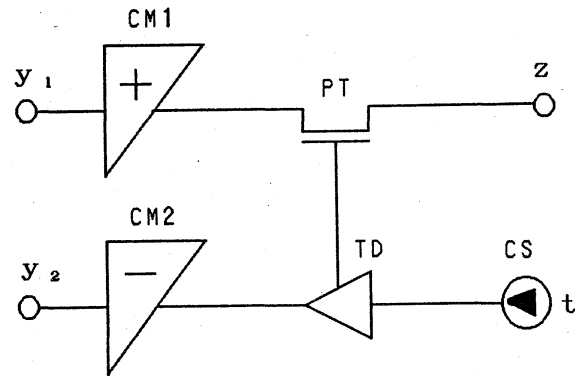


図2 電流モード基本回路

$$x = \begin{cases} 0 & (y_2 > t) \\ 1 & (y_2 < t) \end{cases} \quad z = \begin{cases} 0 & (x = 0) \\ y_1 & (x = 1) \end{cases}$$

この関係を、 $z = y_1 \langle x \rangle$ と表記する。つまり、 $\langle \rangle$ はスイッチを意味し、 $x = 1$ のときスイッチが ON し、出力に y_1 が現れ、 $x = 0$ のとき OFF となって、出力は 0 となる。

PT に PMOS を用いたとき、

$$x = \begin{cases} 0 & (y_2 > t) \\ 1 & (y_2 < t) \end{cases} \quad z = \begin{cases} y_1 & (x = 0) \\ 0 & (x = 1) \end{cases}$$

この場合は、 $z = y_1 \langle \bar{x} \rangle$ となる。

パストランジスタは基本的には直列又は並列に自由に接続できる。その入出力の関係は、

$$z = y \langle x_1 \cdot x_2 \cdot \dots \cdot x_n \rangle \quad (\text{直列接続})$$

$$z = y_1 \langle x_1 \rangle + y_2 \langle x_2 \rangle + \dots + y_n \langle x_n \rangle \quad (\text{並列接続})$$

で与えられる。これらの式は、形の上では電圧モードと全く変わらないが、“+”の記号のもつ意味が異なる。電流モードでは文字通り、加算を意味する。

基本特性から、電圧モードと比較して電流モードの特徴を次のように示すことができる。

- 1) 並列接続において、入力に対する制限がない。
- 2) 入力端子又は出力端子において、キルヒホッフの電流則に基づく、加算が簡単にできる。これを“wired sum”と呼ぶ。

3) しきい値が任意に設定できるため、可変しきい値論理回路として使用できる。又、ここに入力変数を与えることができる。

3. ユーナリ関数と諸定義

変数 x に対するユーナリ関数を、 ${}_a x$ とし、多値多しきい値関数と対応づけるため、次のような定義を行う。(図3)

$${}_a x = \begin{cases} 1 & (x \leq a) \\ 0 & (\text{その他}) \end{cases} \quad x^b = \begin{cases} 1 & (b \leq x) \\ 0 & (\text{その他}) \end{cases} \quad {}_a x^b = \begin{cases} 1 & (a \leq x \leq b) \\ 0 & (\text{その他}) \end{cases}$$

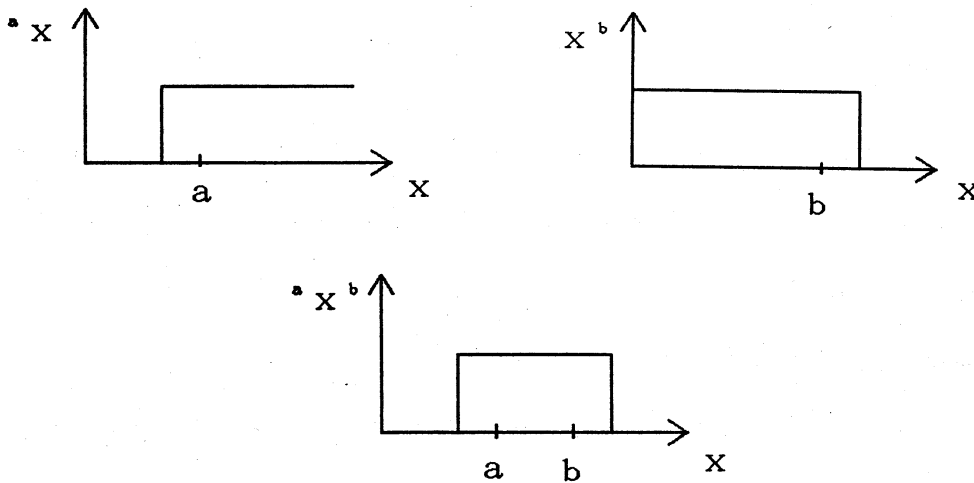


図3 しきい値関数

更に、これら、 ${}_a x$ 、 x^b 、 ${}_a x^b$ を内部変数とし、前節の表記法により、次式が与えられる。

$$A \langle {}_a x \rangle = \begin{cases} A & (x \leq a) \\ 0 & (\text{その他}) \end{cases} \quad A \langle x^b \rangle = \begin{cases} A & (b \leq x) \\ 0 & (\text{その他}) \end{cases} \quad A \langle {}_a x^b \rangle = \begin{cases} A & (a \leq x \leq b) \\ 0 & (\text{その他}) \end{cases}$$

4. ユーナリ関数の分解

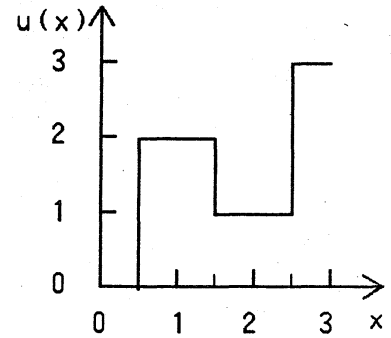
ユーナリ関数において、変数の値を横軸に、関数の値を縦軸に取ってグラフを描くと、多値多しきい値関数に対応づけることができる⁽⁶⁾。例えば、図4 (a) の真理値表に示される4値ユーナリ関数は、図4 (b) の関数に置き換えられ、更に前節の表記法に従い、次のように書き表せる。

$$u(x) = 2 \langle {}^1 x^1 \rangle + 1 \langle {}^2 x^2 \rangle + 3 \langle {}^3 x \rangle$$

$\langle \rangle$ 内はそれぞれ2しきい値関数を意味しているので、この表記法は、ユーナリ関数を

u (x)	0	1	2	3
x	0	2	1	3

(a) 真理値表



(b) グラフ

図4 ユーナリ関数

2しきい値関数に分解したことを意味している。以下、このような分解の方法をいくつか示して、回路の簡単化との対応を明らかにする⁽⁷⁾。なお、電流モードでは、論理値“0”は省略することが可能である。

4. 1 単しきい値関数による分解

r 値ユーナリ関数に対し、これを単しきい値関数に分解し、これらを加算して回路を構成する。電流の方向を双方向とするか単方向とするかによって、2つの方法がある。

1) 双方向電流による分解 各しきい値において、前後の論理値の差の大きさの電流源を、その差の正負によって方向を定め、PMOS に接続する。これらを出力段で結線する。最終的に $u(0)$ のレベル調整が必要となる。これを式で表すと次のようになる。

$$u(x) = \sum_{i=0}^{r-2} \{ (u(i+1) - u(i)) \langle i+1 x \rangle \} + u(0)$$

2) 単方向電流による分解 各しきい値において、前後の論理値の差の大きさの電流源を、差の正負によって PMOS 又は NMOS の P T に接続し、これらを出力段で結線する。この構成法は、論理値の偏差だけに注目しているため、全体的なレベル調整が必要である。これらは次のように表記される。

$$u(x) = \sum_{i=0}^{r-2} (|u(i+1) - u(i)| \langle \cdot x^* \rangle) \pm L$$

$$\text{但し、} \quad \langle \cdot x^* \rangle = \begin{cases} \langle {}^{i+1} x \rangle & (u(i+1) - u(i) > 0) \\ \langle x^i \rangle & (u(i+1) - u(i) < 0) \end{cases}$$

L はレベル調整用電流源の値

単しきい値関数による分解では、最大 $r-1$ 個の P T、 $r-1$ 個の T D 用電流源、 r 個の P T 用電流源が必要になる。

4. 2 2しきい値関数による分解

これは与えられたユーナリ関数のグラフを縦割する方法である。2しきい値関数を用いてユーナリ関数の各最小項を実現することによって、任意のユーナリ関数可以实现できる。

これは次のように表記される。

$$u(x) = \sum_{i=0}^{r-1} u(i) \langle {}^i x^i \rangle$$

この構成法は、各段が同時に出力されることがないので、電圧モードには適しているが、電流モードではその特徴が十分生かされない。

4. 3 多しきい値関数による分解

この分解は、与えられたユーナリ関数のグラフを横割する方法である。論理値の適当なレベルで横に切り、2値多しきい値関数に分解して、それぞれを実現し、出力段で加算する。この分解の方法は、幾通りも考えられるが、代表的なものを2つ取り上げる。

1) レベル毎の分解 論理値の各レベル毎にグラフを横割し、そこで得られた2値多しきい値関数をそれぞれ加算する。これは次のように表すことができる。

$$u(x) = \sum_{j=1}^{r-1} \left(\sum_{i=1}^{r-1} v_j(i) \langle {}^i x^i \rangle \right)$$

但し、
$$v_j(i) = \begin{cases} 1 & u(i) > j \\ 0 & \text{その他} \end{cases}$$

2) 分解数を最小にする方法 この方法は、論理値レベルを2進数に分解し、重みを付けて加算するもので、分解される多しきい値関数の数が最小となり、従ってPT用電流源の数も最小となる。式で示すと、次のようになる。

$$u(x) = \sum_{j=1}^k (2^{j-1} \sum_{i=0}^{r-1} w_j(i) \langle i x^i \rangle)$$

但し、 $k = \lfloor \log_2 r \rfloor$

$$w_j(i) = \begin{cases} 1 & (u(i) \text{ MOD } 2^j) > 2^{j-1} \\ 0 & \text{その他} \end{cases}$$

$\lfloor a \rfloor$: a以上の最小の整数

a MOD b : aをbで割った余り

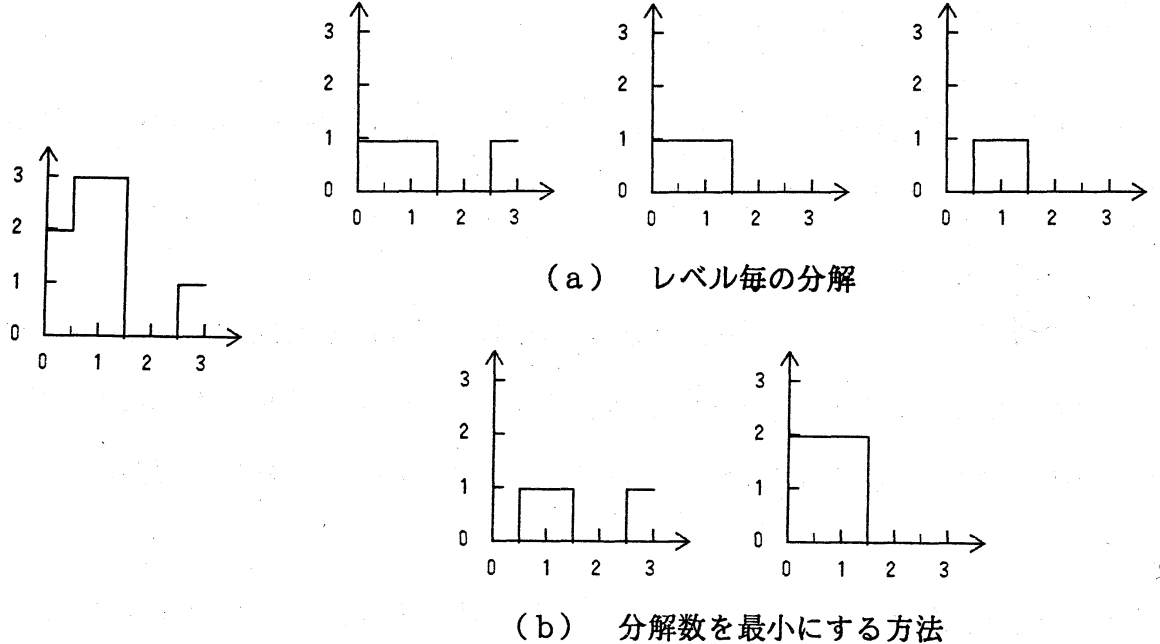


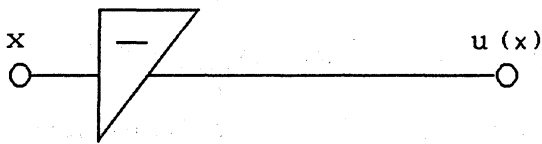
図5 2値多しきい値関数による分解例

いずれの場合も、PT用電流源の数は少なくなるが、同じしきい値を、別な多しきい値関数で用いるため、PTの数が多くなる欠点を持つ。これらの分解例を図5 (a) (b) に示す。

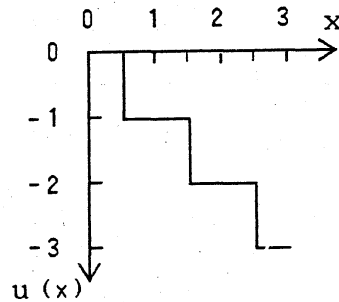
4. 4 階段状関数を用いた分解

パストラジスタ基本回路の特性より、入力変数をPT用電流源の代わりに使用すると見掛け上、階段状の多しきい値関数（以後、階段状関数）が発生する。入力変数は、電流ミラーを通じて再生することができ、図6に示すように、NMOS 電流ミラーによってN形階段状関数を作れる。この入出力特性は次式となる。

$$u(x) = -x$$



(a) 回路図



(b) グラフ

図6 N形階段状関数

更にこの出力を PMOS 電流ミラーに通すと、図7のようにP形階段状関数を作れる。このとき、

$$u(x) = x$$

これら2つの関数だけでは、任意のユニナリ関数を構成することはできないので、実際にはしきい値関数と組み合わせてユニナリ関数を実現する。又、この構成法は入力電流値をそのまま出力するのでレベル再生機能がない。このため信号が何段と伝搬する場合は、レベル誤差が大きくなるので、前に述べた構成法の回路を途中に組み入れる必要がある。

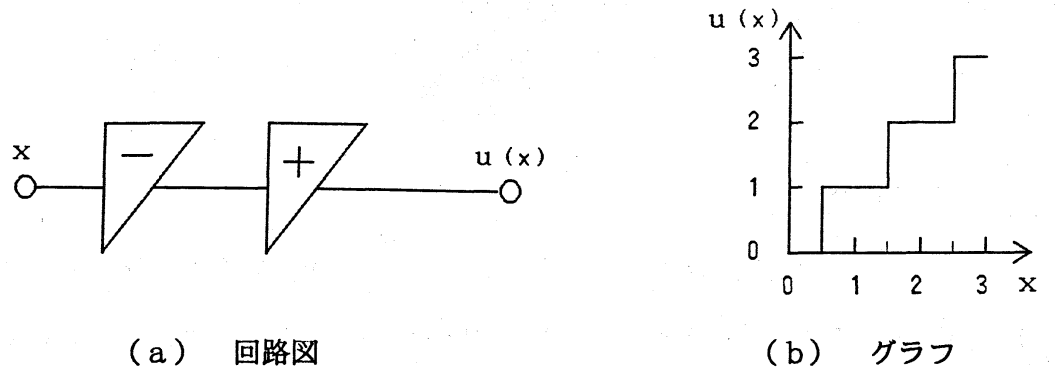


図7 P形階段状関数

5. 回路の簡単化

本章では、ユーナリ関数を実現する回路の簡単化について説明し、電流モード回路における簡単化をどのように進めるべきかを検討する。

与えられたユーナリ関数に対し、前章の分解方法を次のように適用する。

- 1) 先ず、4.1-4.3 に示した2値の単又は多しきい値関数への最適な分解を求める。
 - 2) 次に、4.4 に示した階段状関数による分解を付加して、更に回路の簡単化を図る。
- このとき、それぞれの場合について、次のような形で簡単化が行われる。

1) 2値のしきい値関数の場合:

☆2しきい値関数による構成において、隣あった最小項が同じ値をとる場合、1つにまとめることができ、PTの数を減らすことができる。(図8)

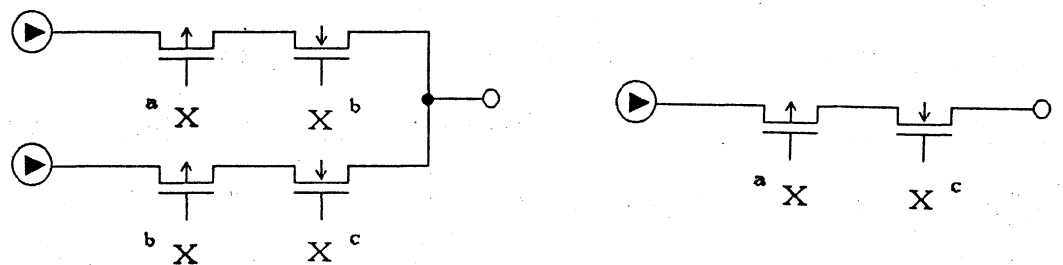


図 8

☆等しいN形しきい値関数が存在するとき、PTを1つにまとめることができる。(図

9)

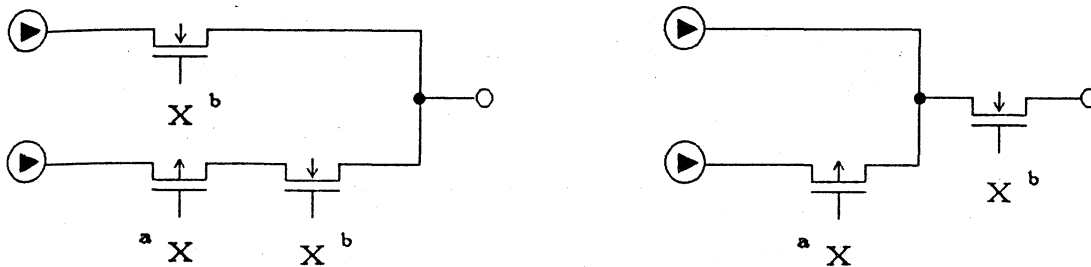


図 9

☆同時に出力しない同じ大きさの電流源は共有できるために、並列につなぎ電流源の数を減らすことができる。

☆入力変数の最大または最小が0レベルのときは、その入力変数で回路をパストランジスタにより解放して0レベルを得ると、しきい値関数で0レベルを構成するより電流源が減る。(図10)

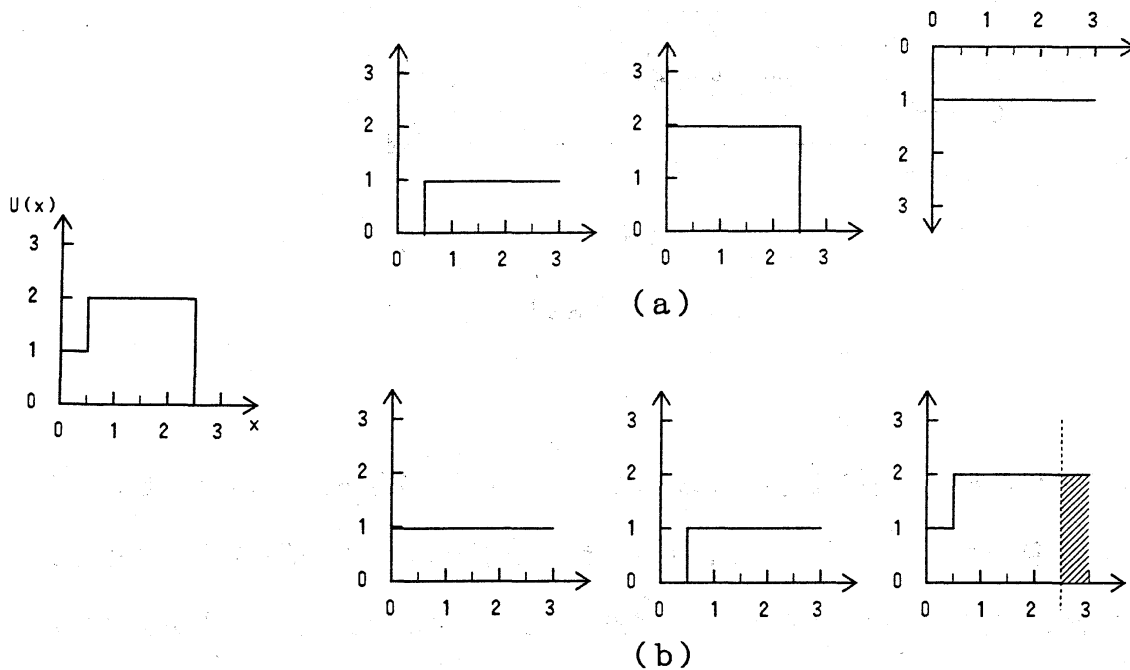
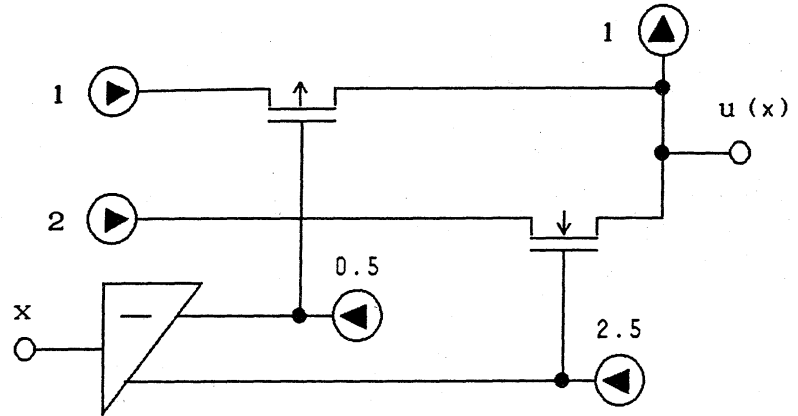
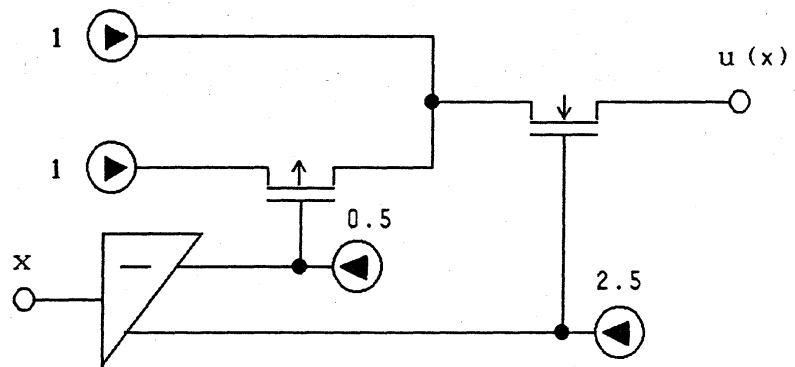


図10 分解の方法



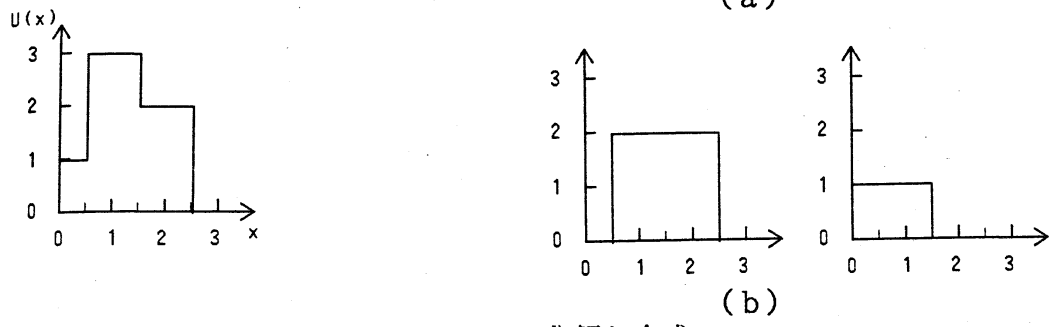
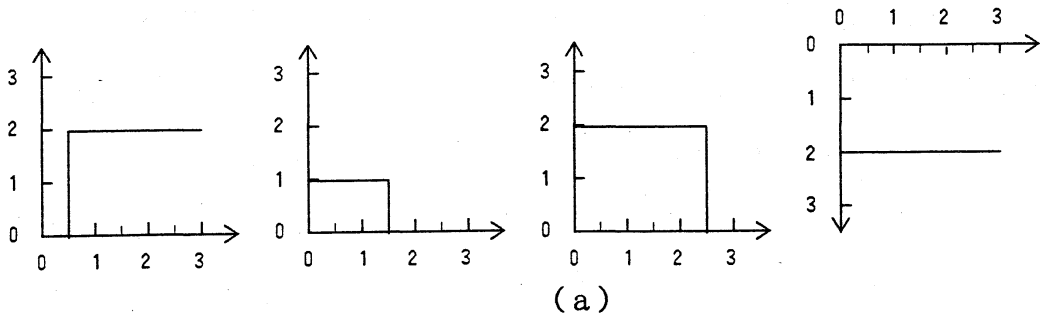
(a)



(b)

図10 回路図

☆単しきい値関数により構成された回路において、レベル調整が負の方向のとき、そのレベル調整の大きさ（絶対値）と、あるしきい値関数の大きさと等しいものが存在する場合は、これらを合成できPTと電流源を減らすことができる。この合成により2しきい値関数が求められる場合がある。（図11）



分解と合成

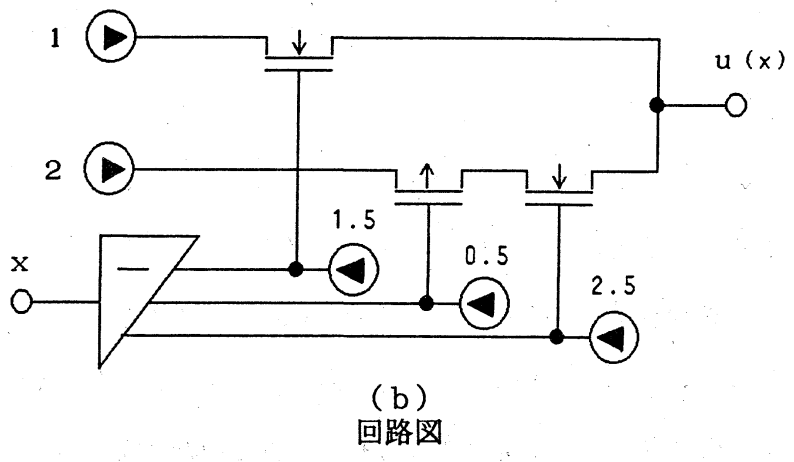
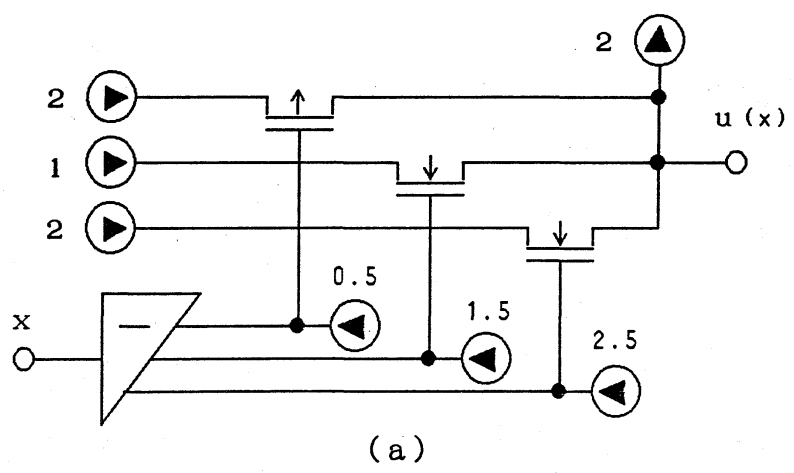


図 11

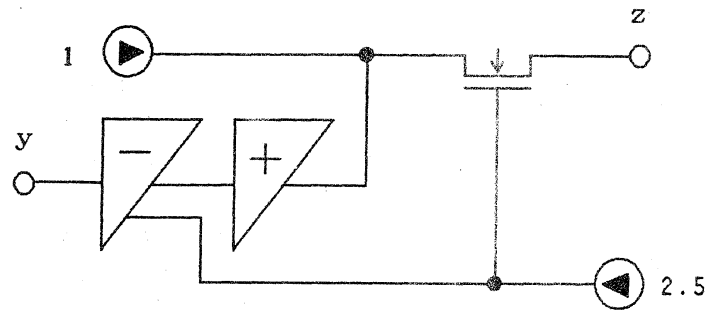
2) 階段状関数の場合:

☆階段状関数を用いる場合は、与えられた論理関数から階段状関数の値を引いて、残りをしきい値関数で構成する方法がとられる。この階段状関数を用いると、関数によってはしきい値関数で構成するより、TDやCSの数を減らすことができる。

【例】Successor: 4値 Successor の真理値表は、図12(a)の通りである。図中の点線で囲まれた部分の最小項にこの階段状関数を用いることができる。図12(b)が、その実現回路である。

y	0	1	2	3
z	1	2	3	0

(a) 真理値表



(b) 回路図

図12 サクセッサ

1) の場合では、アルゴリズムを策定して、簡単化を図ることも可能だが、2) の場合では、まだヒューリスティックの域を脱していない。

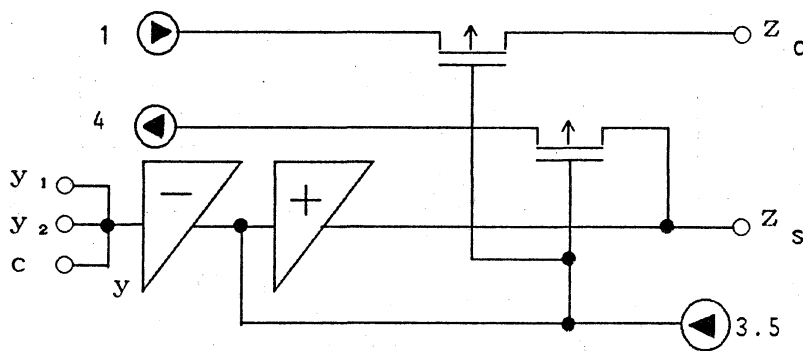
6. 多変数関数への拡張

以上の手法を2変数以上の関数に適用するには、2通りの考え方がある。1つは、しきい値関数として変数に重み付けを行い、その線形加算値を1次元の内部変数とする方法である。これは、一般の関数に適用すると、重みや、しきい値の取り方が非常に複雑となるが、特定の関数に対しては有効である。例えば、対称関数は重み付けが簡単であり、特に演算回路には、しきい値数も少ないものがある。次の加算回路はその代表的なものである。

【例】全加算器: 全加算器では、加算すべき2つの入力と、下位からの桁上げのそれぞれの重みを1として加えた数を y と置けば、その出力 z_s (和)、 z_c (キャリイ)は、 y の関数として図13(a)のように表すことができる。実現回路を図13(b)に示す。

y	0	1	2	3	4	5	6	7
Z _s	0	1	2	3	0	1	2	3
Z _c	0	0	0	0	1	1	1	1

(a) 真理値表



(b) 回路図

図13 全加算器

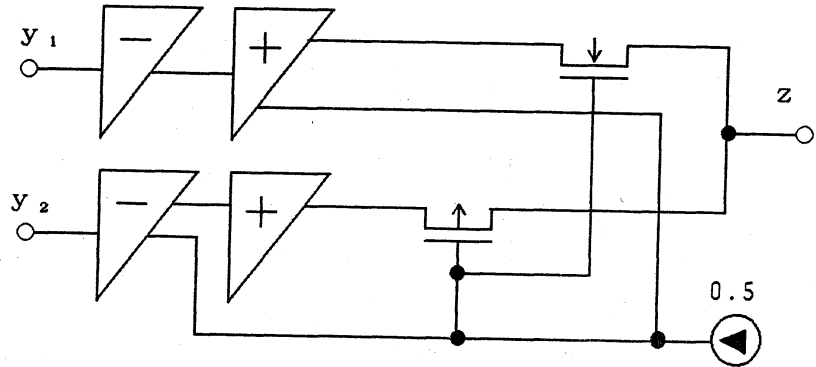
一方、2変数関数に対し、変数を $x-y$ 平面に取り、その論理値を z 軸に取った3次元空間を考える。この空間を、ユーナリ関数の場合と同様の分割を行って、2値の単または多しきい値関数、または階段状関数を使って分解する。ユーナリ関数の分割は、単純な縦割と横割であったが、2変数では、横割は z 軸に垂直な平面によって分割され、又縦割は、 $x-y$ 平面上の1次方程式を含み（斜め分割）、 $x-y$ 平面に垂直な平面によって分割される。3変数以上では、超立方空間を超平面で分割することになる。このような例として、2変数MAX関数を示す。

【例】MAX関数：2変数4値MAX関数のカルノー図は図14(a)の通りである。この図において、 $y_2 = y_1 + 0.5$ でこの表を分割すると、 $y_2 > y_1 + 0.5$ において関数の値は y_2 に等しく、 $y_2 < y_1 + 0.5$ においては y_1 に等しい。したがってこの真理値表は点線で示す通り、2つのブロックでカヴァされる。しきい値判別器の入力を y_2 と $y_1 + 0.5$

に選べば、これらを分割することができ、図14 (b) の回路でMAX関数を実現できる。このしきい値は論理値数には無関係なので、この回路はr値関数に対してそのまま適用できる。

$y_1 \backslash y_2$	0	1	2	3
0	0	1	2	3
1	1	1	2	3
2	2	2	2	3
3	3	3	3	3

(a) 真理値表



(b) 回路図

図14 MAX関数

7. む す び

電圧モードパストランジスタ回路網では多値論理関数の真理値表におけるカヴァリングの手法により、回路簡単化を図った。その際の関数の条件は次のようなものであり、これは電流モードにおいてもそのまま適用できる。

- 1) 同じ関数の値を持つ隣接した最小項が存在するとき。
- 2) 変数の値と同じ関数の値を持つ隣接した最小項が存在するとき。
- 3) 2つ以上の最小項に同じリテラルが存在するとき。

電流モード回路では、上記に加えて、更に次のことから簡単化を図ることができる。

- 4) 変数の値と関数の値の差が一定である隣接した最小項が存在するとき。
- 5) 2個以上のカヴァリングによる最小項の値がその和で表されるとき。

このように、電流モードにおいては、線形加算を基本にして回路構成を行う方法がより効果的であるが、そのため逆に電圧モードと比べてカヴァリングを行うことが非常に困難

である。これは、電圧モードでは、与えられた真理値表を論理レベルの縦割によるカヴァリングを行えばよかったのに対し、電流モードでは、電圧モードと同様に縦割するのに加え、線形加算を考慮し、真理値表の横割によるカヴァリングも行う必要があるからである。

又電圧モードでは、パストランジスタにはほとんど電流が流れないため、電圧源は各論理値ごとに1つあればよかったが、電流モードでは電流を流すので、それぞれの電流源をミラー回路などで個別に構成しなければならない。この電流源の数を減らすことも回路の簡単化になる。また消費電力のことも考えると、電流源の論理値の大きさは、できるだけ小さくした方がよい。

以上のように、本報告では、電流モードの結線加算、両方向電流の使用、入力変数のしきい値との置換などの優位性を指摘し、回路構成上の数々の有用な結果を示すことができたが、しかし、電圧モードのような系統的な簡単化の方法を見いだすまでには至らなかった。今後回路特性を考慮した理論的方法の確立を行いたい。

参考文献

- (1) O. Ishizuka, "Synthesis of a pass transistor network applied to multi-valued logic", Proc. ISMVL, 16, May 1986.
- (2) O. Ishizuka et al., "Simplification of pass transistor networks and its applications", Proc. ISMVL, 17, May 1987.
- (3) T. Yamakawa, "CMOS multivalued circuits in hybrid mode", Proc. ISMVL, 15, May 1985.
- (4) S. Kawahito et al., "VLSI-oriented bi-directional current-mode arithmetic circuits based on the radix-4 signed-digit number system", Proc. ISMVL, 16, May 1986.
- (5) S. P. Onneweer et al., "High-radix current-mode CMOS circuits based on the truncated-difference operator", Proc. ISMVL, 17, May 1987.
- (6) O. Ishizuka, "Consideration for realizing unary functions of a multi-valued variable," Proc. ISMVL, 12, May 1982.

MOSFET は、ゲートの構造からも、代表的な電圧モード回路と考えられる。McCluskey氏は、しきい値を電圧レベルシフト回路で作り、電圧モードでしきい値論理を構成した回路についての論文を発表した^(A8)。筆者らは多値多しきい値論理とユーナリ関数との対応に着目し、この MOSFET 回路を含めた、ユーナリ回路について議論を行った^(A9)。

バイポーラトランジスタのしきい値電圧（固有障壁電圧）はシリコンで約 0.7Vあるが、MOSFET のしきい値電圧は、2つの異なるタイプディプレッション形とエンハンスメント形では、全く異なっており、更にイオン注入技術の発達により、この電圧を自由に設定できるようになった。これは第1回多値論理フォーラムで、豊橋技大の徳田氏らにより発表され^(A10)、更に東北大の樋口、亀山両氏らを中心としたグループもほぼ同時に、IC化に成功して、今日に至っている^(A11)。このように、電圧モードのみに使われると考えられていた MOSFET を電流モードに適用したのは熊本大の山川氏である^(A12)。フローティング・スイッチの技法により、電流の引っ張り合いで、ゲート電圧を決め、見掛け上、入力も出力も電流モードとして働かせ得ることが実証された。（氏はこれを電圧、電流の混在したハイブリッド・モードとよんでいる。）これを更にパストランジスタ回路網にとり入れたのは東北大のグループであり、Sign-Digit 双方向演算系に適用して、実用性に富んだ回路が出現した^(A13)。

以上のように、多値論理に応用された電圧モードと電流モード回路は互いに新しい技法を使った回路が提案されながら、今日に至っている。今後もそれぞれの回路の特質を見極めながら、回路構成に取り組む必要があると考えられる。

（文献）(A1)H. S. Yourke, "Millimicrosecond transistor current switching circuits", IRE Trans. CT, Sept. 1957.

(A2)A. Druzeta et. al, "Application of many valued logic networks", IEEE Trans. C, Nov. 1974

(A3)O. Ishizuka, "Multi-valued multi-threshold networks", Proc. ISMVL, 6, May 1976

(A4)Z. G. Vranesic et al., "Engineering aspects of multi-valued logic systems."

- (7) O. Ishizuka, "Synthesis of multivalued multithreshold networks for applying I^2L circuits", Proc. ISMVL, 9, May 1979.

付録：電流モード回路研究の流れ

1950年代の後半、IBMで開発された電流切替回路 (Current-Switch) は、トランジスタの非飽和動作する回路として注目され^(A1)、後段にレベルの調整と出力インピーダンスを下げるためのエミッタフロアを付加して、CML又は、ECLと呼ばれ、現在でも高速論理ICファミリとしての地位を保っている。CMLの呼び名は、まさに、電流モードを意味しているが、この回路自身は、電流モードの特長を十分に生かしている訳ではない。

1970年代に入り、トロント大のグループはCMLをしきい値ゲートの構成に適用することを試み、更にそれまでアナログ回路で使用されていた「電流ミラー」を導入することにより、信号の複製と重み付けを可能とし、これらを用いた多値論理回路を発表した^(A2)。この回路の適用により、しきい値論理と多値論理の結び付きが見直され、特に演算回路への応用が議論された。筆者らはこの回路を基本として任意の多値論理関数を実現する多値多しきい値論理回路を提案した^(A3)。又、同大の Vranesic、Smith 両氏は、これを電流モード回路として位置づけ、電圧モード回路と対比させて多値論理に適用したときの特徴について、検討を行った^(A4)、^(A5)。

1977年、Fairchild社の Dao氏は、 I^2L を用いた多値論理ICを製作し、多値論理の実用化に大きなインパクトを与えた^(A6)。CMLは、出力側は確かに電流モードであるが、入力には電圧信号で行う。これに対し、 I^2L は、入出力共電流モードであり、回路構成上の自由度が大きい。以後、多値 I^2L に関して様々な論文が発表された。筆者らは、先に述べた多値多しきい値関数を2値の多しきい値関数に分解する方法を示し、それに基づいて、 I^2L によってこの関数を実現する回路構成について述べた^(A7)。しかし、 I^2L は、バイポーラトランジスタとしては高集積化、低消費電力がウタイ文句であったものの、MOSFETには劣ることから、段々、顧みられなくなって来ている。

(A5)K. C. Smith, "Circuits for multiple valued logic. A tutorial and appreciation",
Proc. ISMVL, 6, May 1976

(A6)T. T. Dao, "Threshold I²L and its applications to binary symmetric functions
and multivalued logic", IEEE JSSC., Oct. 1977.

(A8)E. J. McCluskey. "Logic Design of MOS ternary logic," ISMVL, 10, May, 1980.

(A10)Y. Tokuda et al, "Realization of 4-valued logic circuits by N-MOS device,"
Note on MVL, 1, Feb. 1984.

(A11)M. Kameyama, "A new architectuer of a pipelined image processor based on
quaternary logic circuits", Proc. ISMVL, 14, May 1984.

(A7)=本文(7) (A9)=本文(6) (A12)=本文(3) (A13)=本文(4)