

ユニバーサル・リテラル回路と 4 値論理回路網への応用

A Universal Literal Circuit and
its Application to Quaternary Logic Networks

琉球大学工学部 瑞慶覧 長定 (Chotei Zukeran)

琉球大学工学部 本多 真 (Makoto Honda)

琉球大学工学部 長嶺 豊 (Yutaka Nagamine)

琉球大学工学部 安富祖 忠信 (Chushin Afuso)

1. まえがき

多値論理関数を合成するには、完全系をなす多値論理演算子が必要であり、又、完全系をなす多値論理演算子系は多数存在する。これらに共通する機能としては、陰または陽に多値レベル判別機能が含まれている。即ち、 R 値論理関数を合成するには、少なくとも $R - 1$ 個の多値レベル判別素子（リテラル）を有していなければならない。

本論文においては、制御信号によりしきい値が変えられる新しいリテラル回路の構成法を提案し、この新しいリテラル

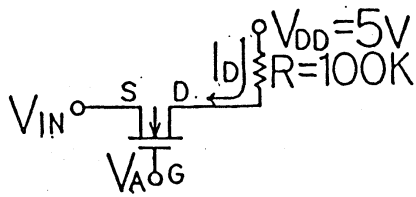
(ユニバーサル・リテラルと呼ぶことにする) の FSPICE による回路シミュレーション及び個別 MOS-FET による回路構成を行ない、これが極めて良好に動作することを示す。又、このユニバーサル・リテラル回路で PMOS 及び NMOS パストランジスタを駆動することにより構成される新しい 4 値基本演算子 (4 値 U ゲートと呼ぶ) を提案する。更に、4 値 U ゲートの数学的性質を明らかにすると共に、それを用いた 4 値論理関数の一合成法を述べる。4 値定数 {0, 1, 2, 3} が使えるものとする、4 値 U ゲートのみで全ての 4 値論理関数を合成することができる。なお、この数学的性質はこれまでに報告されている CP ゲート⁽¹⁾ や SCP ゲート⁽²⁾ 等の性質を含んでいる。

2. MOS スイッチ

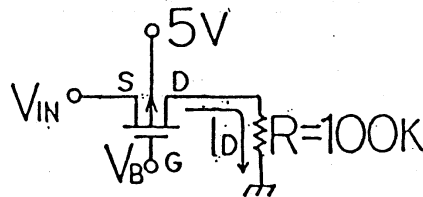
可変しきい値リテラル回路を構成する上で重要な役割を持つ NMOS 及び PMOS スイッチの基本回路を図 1 に示す。いま、 V_{TN} 、 V_{TP} をそれぞれ NMOS 及び PMOS トランジスタのしきい値電圧とすると、図 1(a), (b) の NMOS 及び PMOS スイッチ回路の導通条件は、それぞれ式(1)及び(2)のように与えられる。

$$V_{IN} \leq V_A - V_{TN} \quad (1)$$

$$V_{IN} \geq V_B - V_{TP} \quad (2)$$

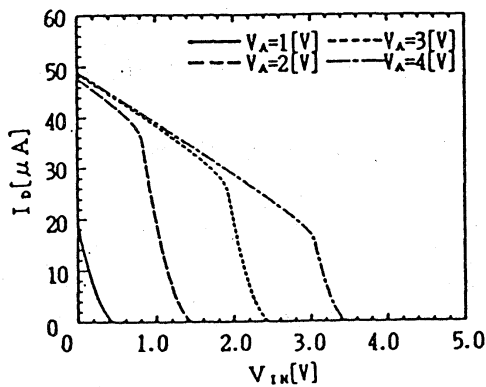


(a) NMOSスイッチ

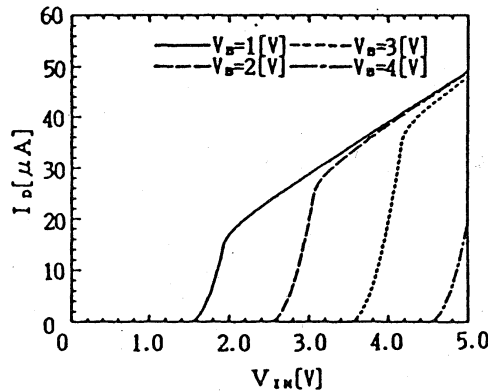


(b) PMOSスイッチ

図1 MOSスイッチ



(a) NMOSスイッチ



(b) PMOSスイッチ

図2 MOSスイッチ特性

図1(a), (b)の回路に対し、基板効果係数 $\gamma_N = \gamma_P = 0$, $V_{TN} = 0.5V$, $V_{TP} = -0.5V$ として、 V_A と V_B を $1V$, $2V$, $3V$, $4V$ に設定した場合の $V_{IN} - I_D$ 特性を図2に示す。図2より明らかかなようにドレイン電流 I_D が流れ始める V_{IN} の値 (スイッチのしきい値電圧) が、ゲートに加える電位に依存している。つまり、このMOSスイッチのしきい値電圧は V_A , V_B によって設定可能で、それはNMOSスイッチでは $V_A - 0.5$ 、PMOSスイッチについては $V_B + 0.5$ である。

3. ユニバーサル・リテラル回路

3.1 動作原理

前述したN/P MOSスイッチを用いて図3に示すような可変しきい値リテラル回路を構成した。本回路においては、4値論理値0, 1, 2, 3に対応する論理電圧をそれぞれ、1V, 2V, 3V, 4Vとする。図1でMOSスイッチ回路に使用した線形抵抗はMOSトランジスタに置き換えてある。また、図3中に各MOSトランジスタのサイズW[μm]/L[μm]も記した。各MOSトランジスタのしきい値電圧を基板効果を考慮しない場合($\gamma_N = \gamma_P = 0$)と考慮した場合($\gamma_N = \gamma_P = 0.37[V^{1/2}]^{(3)}$)について表

1に示す。本節では、動作原理の説明を容易にするために、MOSトランジスタのしきい値電圧設定の際には、基板効果を考慮していない。

M1, M3, M4はスイッチとして、M2, M5, M6は負荷として動作する。

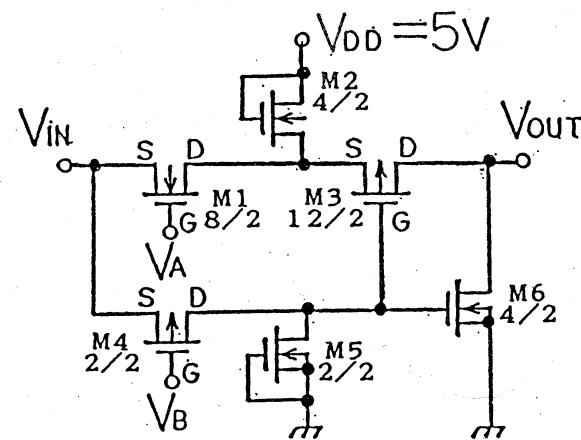


図3 ユニバーサル・リテラル回路

表1 基板効果係数と各素子のしきい値電圧[V]

| 基板効果係数 | M1 | M2 | M3 | M4 | M5 | M6 |
|--|------|------|------|------|------|------|
| $\gamma_N = \gamma_P = 0$ | 0.5 | -1.0 | -4.6 | -0.5 | -0.3 | -0.3 |
| SPICE $\gamma_N = \gamma_P = 0.37[V^{1/2}]$ | -0.2 | -1.5 | -4.6 | 0 | -0.3 | -0.3 |
| 実験(市販素子) $\gamma_N = 0.13[V^{1/2}]$ $\gamma_P = 0.55[V^{1/2}]$ | 0.62 | -1.8 | -4.7 | 0.05 | 0 | 0.78 |

V_A と V_B はこのリテラル回路のしきい値電圧を決定するしきい値制御電圧であり、論理電圧のレベルに等しく、その条件は

$$1 \leq V_A \leq V_B \leq 4 \quad (3)$$

である。この回路は $V_A - 0.5 \leq V_{IN} \leq V_B + 0.5$ のとき、 $V_{OUT} = 5V$ 、それ以外の場合は $V_{OUT} = 0V$ を出力する。図3の回路について、NMOSスイッチM1の導通条件は、式(1)に $V_{TN} = 0.5V$ を代入して

$$V_{IN} \leq V_A - 0.5 \quad (4)$$

PMOSスイッチM4の導通条件は、式(2)に $V_{TP} = -0.5V$ を代入して

$$V_{IN} \geq V_B + 0.5 \quad (5)$$

このリテラル回路の各MOSトランジスタの状態の組合せは、表2に示すように、 V_{IN} の範囲によって3つに分類できる。

表2 各MOSの状態

| | (1) | (2) | (3) |
|-----------|--|-----------|----------|
| V_{IN} | $0.5V \sim V_A - 0.5 \sim V_B + 0.5 \sim 4.5V$ | | |
| M1 | ON | OFF | OFF |
| M3 | OFF | ON | OFF |
| M4 | OFF | OFF | ON |
| M6 | High Imp. | High Imp. | Low Imp. |
| V_{out} | 0V | 5V | 0V |

次に、それぞれについて説明を行なう。

(1) $0.5 \leq V_{IN} \leq V_A - 0.5$ のとき

式(5)よりM1はON状態、式(6)よりM4はOFF状態

である。M5はデプレションタイプのNMOSトランジスタであるからON状態であり、MOSスイッチM3のゲート電位 $V_{G3} = 0V$ である。このとき、M1がON状態で I_{D1} が流れ、M2の電圧降下によって、M3のソース電位 V_{S3} は5Vよりかなり低く、M3のゲート・ソース間電圧 $V_{GS3} > V_{T3}$ ($= -4.6V$)であり、M3はOFF状態となる。M6はデプレションタイプのNMOSトランジスタであり、ゲート・ソース間電圧 $V_{GS6} = 0$ だからON状態であり、出力電圧 V_{OUT} は0Vとなる。このときのM6のドレイン、ソース間内部抵抗は比較的高い。

(2) $V_A - 0.5 < V_{IN} < V_B + 0.5$ のとき

式(5)よりM1はOFF状態、式(6)よりM4はOFF状態である。従って、 $V_{G3} = 0$ である。M1はOFF状態であるから $I_{D1} = 0$ で、 $V_{S3} = 5V$ である。従って、 V_{GS3} は $-5V$ となり、 $V_{GS3} \leq V_{T3}$ ($= -4.6V$)であるから、M3はON状態となる。 $V_{GS6} = 0V$ だからM6はON状態であるが、ドレイン・ソース間内部抵抗が比較的高い為、 $V_{OUT} = 5V$ が出力される。

(3) $V_B + 0.5 \leq V_{IN} \leq 4.5$ のとき

式(5)よりM1はOFF状態、式(6)よりM4はON状態である。だから $V_{S3} = 5V$ である。しかし、M4はON状態

であるから V_{G3} は上昇し、 V_{GS3} は大きくなり、 $V_{GS3} > V_{T3}$ ($= -4.6V$) を満たすようになり、 $M3$ は OFF 状態となる。同時に $M6$ のゲート電位 V_{G6} も上昇する為、 V_{GS6} は大きくなり、 $M6$ のドレイン-ソース間内部抵抗は前述(1)、(2)の場合より低くなる。従って、出力電圧 $V_{OUT} = 0V$ となる。

このリテラル回路は回路しきい値電圧として、 $V_A - 0.5$ と $V_B + 0.5$ の2個有する。そのため、 V_A と V_B に適当な電位を与えることによって、回路しきい値を任意に設定することができ、同じ回路構成のままで r 値のリテラル回路に容易に拡張できる。また、入力部の $M1$ と $M4$ のソース接続点を切り離し、2入力のリテラル回路として、更に、 $M1$ 、 $M4$ と同種の MOS トランジスタから成る入力部をドレイン接続点に付加することにより、多入力のリテラル回路も構成できる。この柔軟性に富んだリテラル回路をユニバーサル・リテラル回路と呼ぶことにする。

3. 2 ユニバーサル・リテラル回路の F S P I C E シミュレーション

図3の回路に対し、F S P I C E シミュレーション (LEVEL=1) を行なった。より現実的なシミュレーションを行なう為、表1の基板効果を考慮したしきい値電圧を各 MOS トランジスタに対して設定した。MOSの他のモデルパラメータはF

S P I C E のマニュアルの標準値⁽³⁾を参考にした。 $V_A = V_B$ として、1 V, 2 V, 3 V, 4 Vを与えたときの本リテラル回路の直流特性と過渡応答特性を図4(a),(b)に示す。基板効果によって回路のしきい値電圧が、設定した値より変動しているが、良好に動作することが分かる。静的最大消費電力は $V_A = V_B = 4$ V、 $V_{IN} = 1$ Vのとき約8[mW]、過渡応答特性において最大遅延時間は12.5[nS]であった。(参考:TTL NAND IC SN7400LS $P_{D MAX} = 5.5$ [mW], $t_{PD MAX} = 15$ [nS]⁽⁴⁾)。また、入力端子 V_{IN} に1 V, 2 V, 3 V, 4 Vを与え、 $V_A = V_B$ を入力として、シミュレーションを行なった結果を図5に示す。同図で、(a)は直流特性、(b)は過渡応答特性である。これらの特性も良好である

この結果は、しきい値を決定するしきい値制御電圧 V_A, V_B

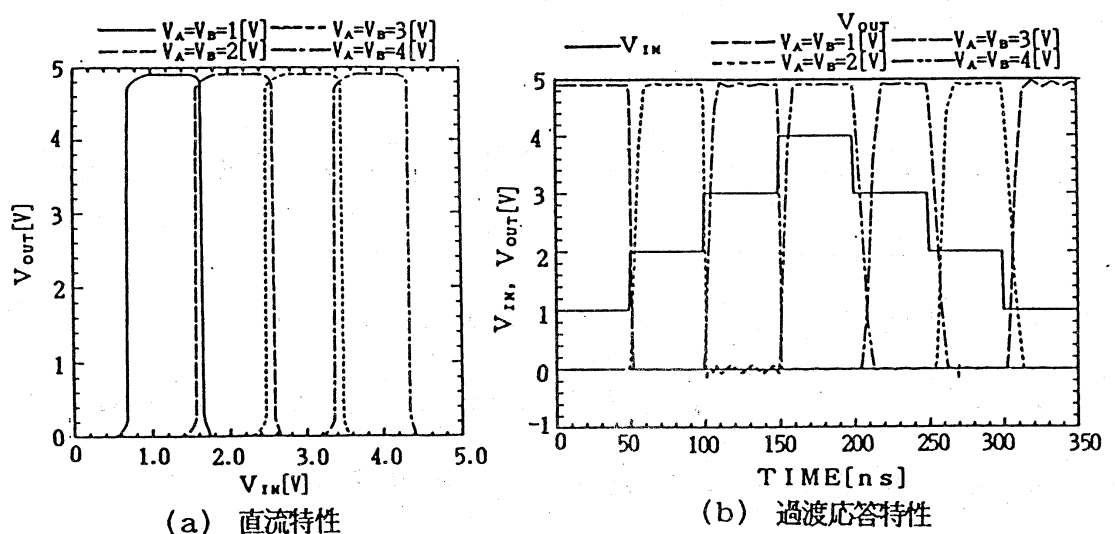


図4 ユニバーサルリテラル回路特性

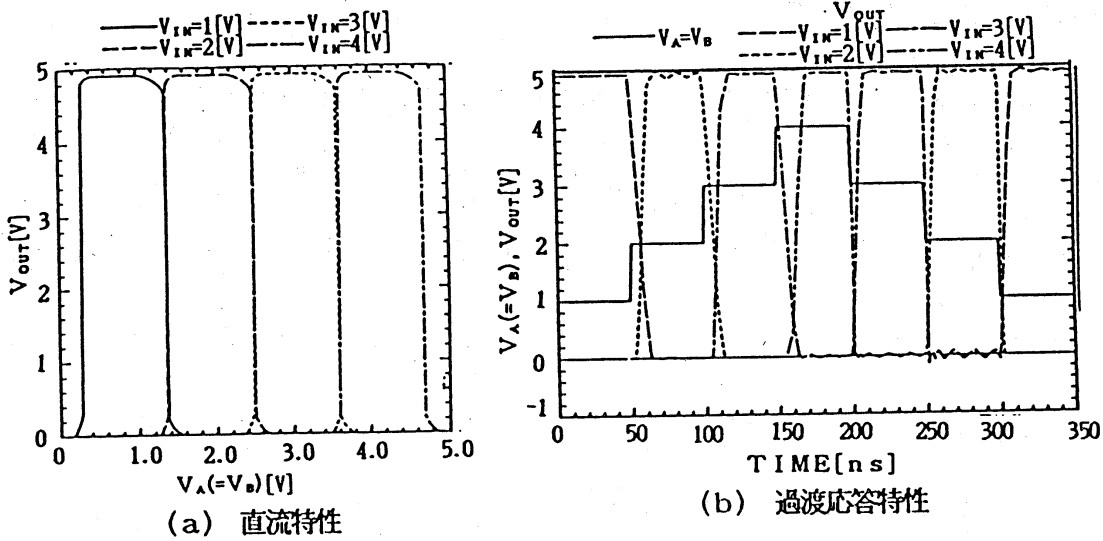
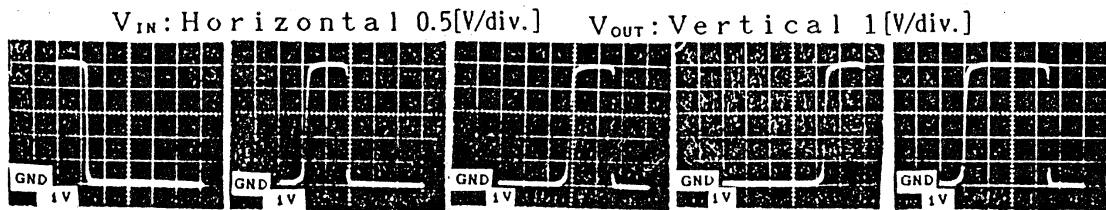


図5 入力端子を変えたユニバーサルリテラル回路特性

は必ずしも直流電圧でなくてもよく、時間に依存する電圧でもよいことを意味し、これらの電圧によって論理操作を行なうことも可能である。

4. 実験結果

本回路を市販のMOSトランジスタ3SK29, 3SJ11を用いて構成した。MOSトランジスタのサイズについては、特にM1とM2に対し同種のMOSトランジスタをそれぞれ3個と2個並列に接続して考慮した。MOSトランジスタのしきい値電圧は、ゲートに電池と抵抗分圧回路から成る



(a) $V_A=V_B=1V$ (b) $V_A=V_B=2V$ (c) $V_A=V_B=3V$ (d) $V_A=V_B=4V$ (e) $V_A=2V, V_B=3V$

図6 実験結果

電圧源を接続して見かけのしきい値電圧として設定した。表 1 にその値を γ の実測値と共に示す。実験結果を図 6 に示す。回路のしきい値が V_A と V_B の値に対して変動する原因として入力部の M1 と M4 のしきい値電圧に対する基板効果の影響が挙げられる。また、 γ_P と γ_N の差が大きい ($\gamma_P > 4\gamma_N$) 為、回路の立ち上がり時のしきい値と立ち下がり時のしきい値の変動量が異なる。

5. ユニバーサル・ゲート(Uゲート)

応用例として、ユニバーサル・リテラル回路で 1 組の N/P MOS バストランジスタを駆動することによって構成できるユニバーサル・ゲート(Uゲート)を図 7 に示す。それを用いて図 8 と図 9 に示すような 4 値インバータ回路と 4 値量子化回路を構成した。これ

らの回路の F S P I C E シミュレーション結果を図 10 と図 11 に示す。

過渡応答特性においてイ

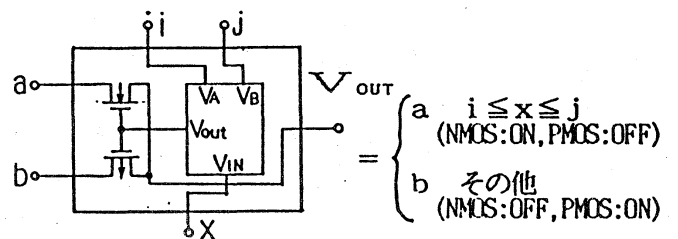


図7 ユニバーサル・ゲート

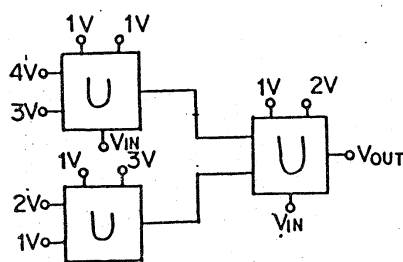


図8 4値インバータ

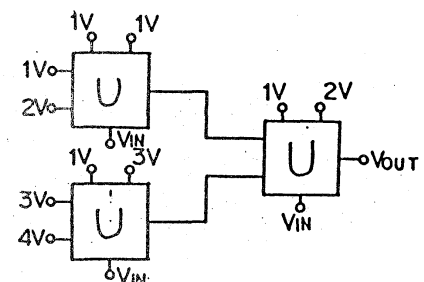
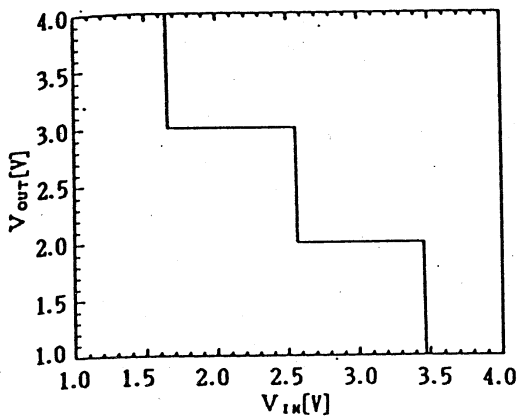
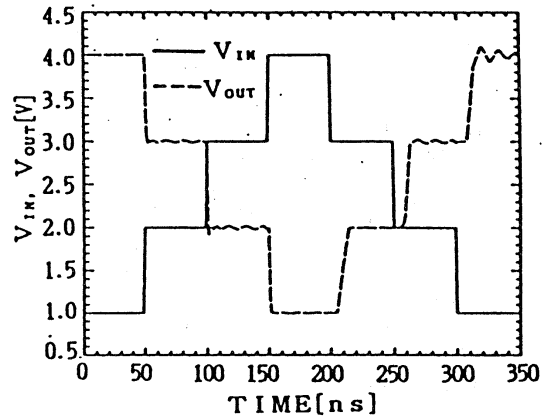


図9 4値量子化回路

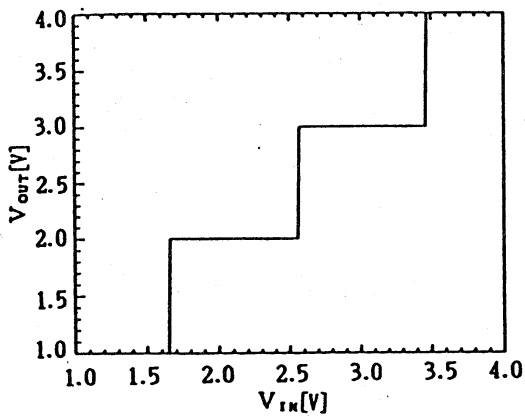


(a) 直流伝達特性

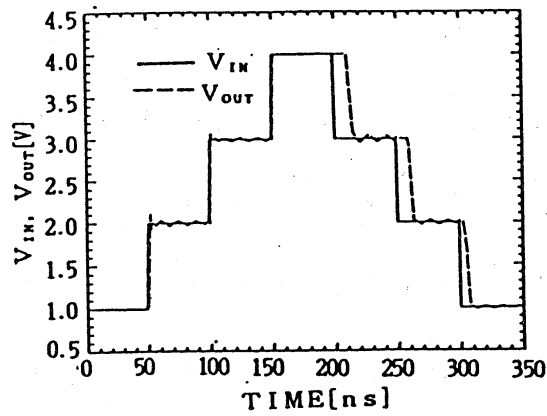


(b) 過渡応答特性

図10 4値インバータ回路シミュレーション結果



(a) 直流伝達特性



(b) 過渡応答特性

図11 4値量子化回路シミュレーション結果

ンバータ回路と量子化回路の最大遅延時間は、それぞれ約 1.5 [ns]と約 1.3 [ns]であり、各回路とも極めて良好に動作していることがわかる。

6. 4値Uゲートの数学的性質

4値論理系における真理値の集合を $L = \{0, 1, 2, 3\}$ とすると、4値Uゲート $U(a, b; x)$ は、次式のように定義さ

れる。

$$[\text{定義 1}] \quad {}^1U^j(a, b; x) = \begin{cases} a & i \leq x \leq j \\ b & \text{その他} \end{cases} \quad (6)$$

但し、 $a, b, i, j, x \in L = \{0, 1, 2, 3\}$ とする。

4 値 U ゲートの記号を図 1 2 に示す。なお、図 1 2 において、 x を制御変数、 i, j をしきい値制御変数、 a, b を residue function と呼ぶことにする。

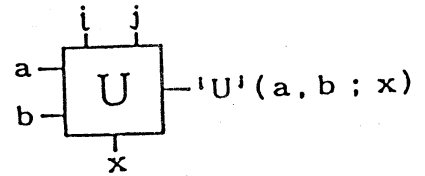


図 1 2 4 値 U ゲートの記号

[定理 1] 任意の 4 値 1 変数関数 $f(x)$ は、4 値 U ゲートの定義により次式のように表現される。

$$f(x) = {}^0U^1({}^0U^0(f(0), f(1); x), {}^2U^2(f(2), f(3); x); x) \quad (7)$$

$$= {}^1U^2({}^1U^1(f(1), f(2); x), {}^0U^0(f(0), f(3); x); x) \quad (8)$$

$$= {}^0U^0(f(0), {}^1U^1(f(1), {}^2U^2(f(2), f(3); x); x); x) \quad (9)$$

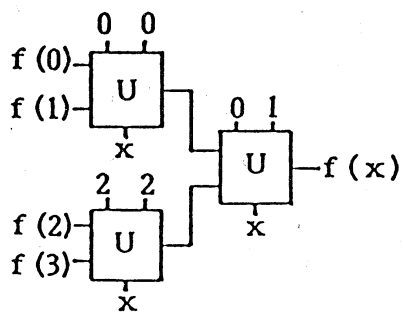
$$= {}^3U^3(f(3), {}^2U^2(f(2), {}^1U^1(f(1), f(0); x); x); x) \quad (10)$$

(証明) 定義 1 より明らかである。

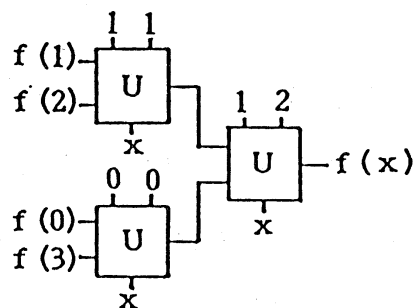
Uゲートを用いた4値1変数関数の表現方法は、式(7)~(10)以外にも数多くの方法がある。図12の4値Uゲートの記号を用いて、式(7)~(10)は図13のように表わされる。

図13の回路は、4値Tゲート⁽⁵⁾と等価になっているため、4値定数が使えるものとする、4値Uゲートのみで任意の4値論理関数が表現できることがわかる。

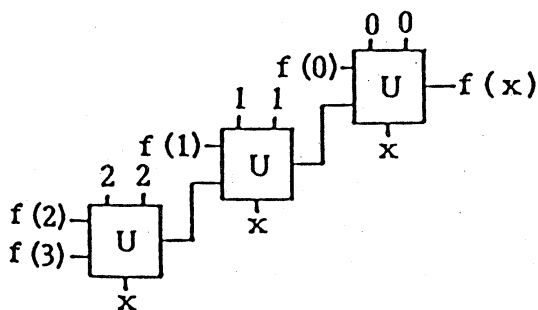
本Uゲートはしきい値制御変数によってしきい値の種類を変えることができる可変しきい素子である。従って、固定しきい素子をいくつか組み合わせて用いるC PゲートやS C Pゲートとは異なり、1種類のUゲートのみで回路を構成でき



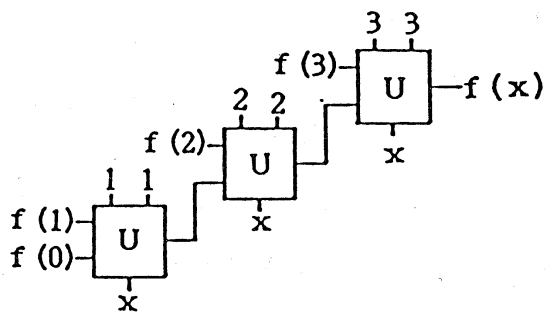
(a) 式(8)の表現



(b) 式(9)の表現



(c) 式(10)の表現



(d) 式(11)の表現

図13 4値1変数関数の表現例

る特徴を有し、回路網合成時の柔軟性に富み、実際の製造プロセスにも有利であると考えられる。

[定理 2] 4 値 U ゲートには、次の関係が成立する。

$${}^0U^3(a, b; x) = a \quad (11)$$

$${}^0U^i(a, b; x) = {}^{i+1}U^3(b, a; x) \quad 0 \leq i \leq 2 \quad (12)$$

$${}^iU^j(a, b; x) = {}^0U^{i-1}(b, {}^0U^j(a, b; x); x) \\ i, j \in \{1, 2\} \quad (13)$$

$${}^iU^j(f(x'), f(x'); x) = f(x') \\ i, j \in \{0, 1, 2, 3\} \quad (14)$$

$${}^0U^i(a, {}^0U^j(b, c; x); x) = {}^0U^j({}^0U^i(a, b; x), c; x) \\ i < j, \quad i, j \in \{0, 1, 2\} \quad (15)$$

但し、 $f(x')$ は任意の 4 値論理関数とし、 $a, b, c, x \in L = \{0, 1, 2, 3\}$ とする。

(証明) 定義 1 と定理 1 より明らかである。

[定理 3] 任意の 4 値 n 変数関数は、次式のように展開できる。

$$f(X) = {}^0U^1({}^0U^0(f_0(X'), f_1(X'); x), \\ {}^2U^2(f_2(X'), f_3(X'); x); x) \quad (16)$$

ここで、 $f_i(X') = f_i(x_1, x_2, \dots, x_i, \dots, x_n)$, $i \in \{0, 1, 2, 3\}$ 。但し、 $X' \cap x_i = \phi$, $X' \cup x_i = X$ 。

(証明) 定義 1 と定理 1 より明らかである。

[定理 4] 任意の 4 値 n 変数関数は、最大の場合でも $4^n - 1$ 個の U ゲートで実現できる。

(証明) 略

[定理 5] 任意の 4 値 1 変数関数 $f(x)$ の真理値表において、 $m (\geq 2)$ 個のセルの値が定数か変数と等しいときには、

$f(x)$ は $4 - m$ 個の U ゲートで実現できる。但し、右の表に示す 4 値 1 変数関数 $f(x)$ においては 1 個の U ゲートで実現できる。

表 3 1 個の U ゲートで実現できる 4 値 1 変数関数の例

| x | 0 1 2 3 |
|----------|---------|
| $f_1(x)$ | a a b b |
| $f_2(x)$ | a b b a |

(証明) 定理 1 より明らか。

7. 合成アルゴリズム

本合成法は、任意の 4 値 n 変数関数の真理値表において、同じ値を出力する部分関数を共通に用いることにより、ゲート数を最大限減少させることのできる制御変数を回路網の出力段(レベル L_1) から最も遠い所(レベル L_n) から順に配置する方法である。(6)

そこで、回路網の各レベルにおけるゲート数が最小になるような制御変数の配置を決定する評価関数 $E(x_i)$ を次のように定義する。

[定義 2] 4 値 n 変数関数 $f(X)$ において、 n 変数のうち 1 変数 x_i を列に、 $n - 1$ 変数を行に配置した分割行列を作

る。この分割行列において、全ての異なる行ベクトルに対して、必要とされるゲート数を重み w として割り当て、これらの和を評価関数 $E(x_i)$ と定義する。

次に、共通関数を用いた4値Uゲート回路網の合成アルゴリズムを示す。

[合成アルゴリズム]

- (1) 4値 n 変数関数 $f(X)$ において、 n 変数のうち1変数 x_i を列に、 $n-1$ 変数を行に配置した分割行列を作る。
- (2) (1) で作成した変数 x_i を列とする分割行列において、その行ベクトルが定数ならば、その数値を、また入力変数 x_i と等しいならば $-i$ を、それ以外の行ベクトルならば、4から順に番号を割り当てる。その際、4値Uゲートの数学的性質により必要とされるゲート数を重み w として割り当てていく。但し、 w は独立な行ベクトルに対して割り当てることにする。そして、それらの和を評価関数 $E(x_i)$ としてその値が最小のものを求め、その時の変数 x_i を制御変数とする。
- (3) (2) で評価関数 $E(x_i)$ の最小の制御変数がいくつかある場合には、その中の1つの変数を選択する。選択された変数 x_i について再び(2)の方法により行ベクトルに対して番号を割り当てUゲートで表現する。

- (4) (3) で生成した番号を関数値とする変数 x_1 を除いた新しい $n - 1$ 変数関数 $f(X')$ を作る。
- (5) 最終段までの全ての制御変数が決定するまで $f(X) = f(X')$ 、 $n = n - 1$ とおいて、(1) 以下の操作を繰り返す。
- (6) 最終段までの全ての制御変数が決定したら、(3) で生成された U ゲートを接続して、求めたい $f(X)$ の回路が構成される。

[例題] 表 4 の 4 値 3 変数関数について回路を合成してみる。ここで、評価関数 $E(x_1)$ は $E(x_1)=15$ 、 $E(x_2)=22$ 、 $E(x_3)=6$ である。従って、評価関数最小の制御変数として x_3 を選択する。 x_3 に対する 4 値 1 変数関数を合成アルゴリズム(2)の方法に基づいて番号を割り当てる。なお、表 4 における番号 4, 5, 6, -3 に対する関数は、 ${}^0U^0(3, {}^2U^2(1, 0; x_3); x_3)$ 、 ${}^1U^2(2, 1; x_3)$ 、 ${}^0U^1({}^0U^0(2, 3; x_3), {}^2U^2(0, 1; x_3); x_3)$ 、 x_3 となる。次に、これらの番号を関数値とする $f(x_1, x_2)$ は、表 5 に示したような真理値表になり、その評価関数は $E(x_1)=4$ 、 $E(x_2)=6$ となる。そこで x_1 を制御変数として選択し、その行ベクトルに番号を割り当て、その番号 7, 8, 9 に対する関数を U ゲートで表現すると各々 ${}^0U^1({}^0U^0(4, 5; x_1), 6; x_1)$ 、 ${}^1U^2(x_3, 4; x_1)$ 、 ${}^0U^1(6, x_3; x_1)$ となる。

表4 $f(x_1, x_2, x_3)$ の真理値表

| x_2 | x_1 | x_3 | | | | 割当 番号 | w |
|-------|-------|-------|---|---|---|----------|---|
| | | 0 | 1 | 2 | 3 | | |
| 0 | 0 | 3 | 0 | 1 | 0 | 4 | 2 |
| | 1 | 1 | 2 | 2 | 1 | 5 | 1 |
| | 2 | 2 | 3 | 0 | 1 | 6 | 3 |
| | 3 | 2 | 3 | 0 | 1 | 6 | |
| 1 | 0 | 3 | 0 | 1 | 0 | 4 | 0 |
| | 1 | 0 | 1 | 2 | 3 | -3 | |
| | 2 | 0 | 1 | 2 | 3 | -3 | |
| | 3 | 3 | 0 | 1 | 0 | 4 | |
| 2 | 0 | 3 | 0 | 1 | 0 | 4 | |
| | 1 | 0 | 1 | 2 | 3 | -3 | |
| | 2 | 0 | 1 | 2 | 3 | -3 | |
| | 3 | 3 | 0 | 1 | 0 | 4 | |
| 3 | 0 | 2 | 3 | 0 | 1 | 6 | |
| | 1 | 2 | 3 | 0 | 1 | 6 | |
| | 2 | 0 | 1 | 2 | 3 | -3 | |
| | 3 | 0 | 1 | 2 | 3 | -3 | |

$E(x_3) = 6$

表5 $f(x_1, x_2)$ の真理値表

| | x_1 | | | | 割当 番号 | w | |
|-------|-------|---|----|----|----------|---|---|
| | 0 | 1 | 2 | 3 | | | |
| x_2 | 0 | 4 | 5 | 6 | 6 | 7 | 2 |
| | 1 | 4 | -3 | -3 | 4 | 8 | 1 |
| | 2 | 4 | -3 | -3 | 4 | 8 | |
| | 3 | 6 | 6 | -3 | -3 | 9 | 1 |

$E(x_1) = 4$

表6 $f(x_2)$ の真理値表

| | x_2 | | | | 割当 番号 | w |
|----------|-------|---|---|---|----------|---|
| | 0 | 1 | 2 | 3 | | |
| $f(x_2)$ | 7 | 8 | 8 | 9 | 10 | 2 |

$E(x_2) = 2$

回路の全ゲート数 $W = E(x_3) + E(x_1) + E(x_2)$
 $= 6 + 4 + 2 = 12$ (個)

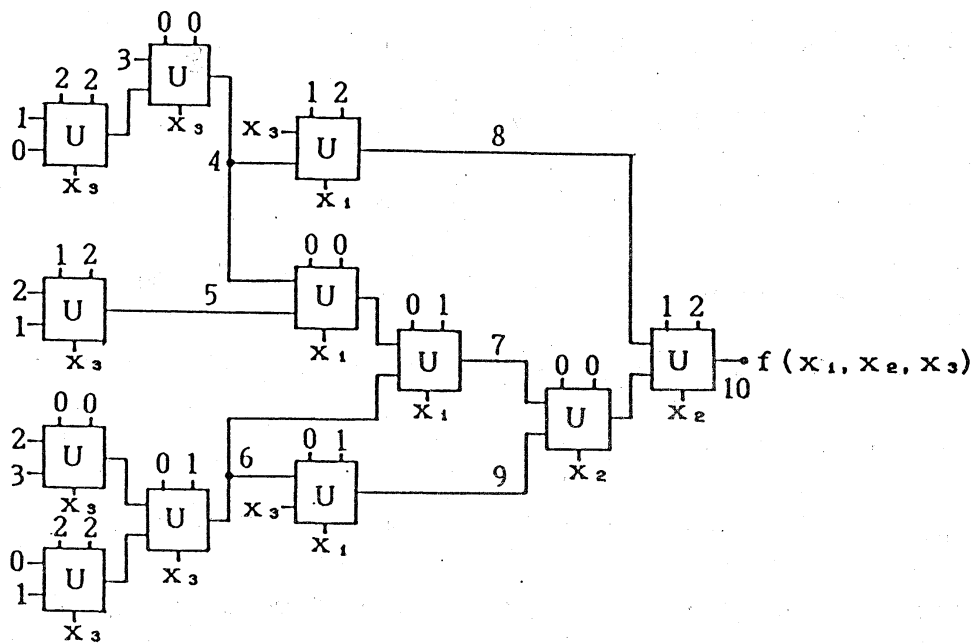


図14 表4に示す4値3変数関数 $f(x_1, x_2, x_3)$ の回路実現

よって、残る制御変数 x_2 に対する 4 値 1 変数関数は表 6 の $f(x_2) = {}^1U^2(8, {}^0U^0(7, 9; x_2); x_2)$ となる。結局、この 4 値 3 変数関数は、各 U ゲートの residue function の番号を互いに接続することにより図 14 のようになり、回路の全ゲート数は各変数に対する評価関数の和を求めることにより 12 個となる。

8. むすび

しきい値可変ユニバーサル・リテラル回路の構成法を提案し、この新しいユニバーサル・リテラル回路が極めて良好に動作することを示した。なお、このユニバーサル・リテラル回路は単純なこの回路形式のままで一般の多値へ拡張できる。又、このユニバーサル・リテラル回路で PMOS 及び NMOS バストランジスタを駆動することにより構成される 4 値 U ゲートを提案し、4 値 U ゲートの数学的性質を明らかにすると共に、それを用いた 4 値論理関数の合成法が 4 値 T ゲートや 4 値 CP ゲート等と同様に系統的に行なえることが分かった。なお、4 値定数と 4 値 U ゲートのみを用いて全ての 4 値論理関数を合成することができる。この数学的性質はこれまでに報告されている CP ゲートや SCP ゲート等の性質を含んでいることが明らかとなった。最後に、4 値 U ゲートのしきい値制御端子を 4 値論理関数の変数として簡単化を行なう合成法につ

いては、現在検討中である。

参考文献

- (1) 亀山，堀江，樋口：“VLSI向き4値相補型バスゲート回路網の構成”，信学論(D)，J71-D，4，PP.636-643，(昭63-04)
- (2) 村中，今西：“4値論理回路のバスゲートによる構成に関する検討”，多値論理研究ノート，Vol.10，No.10，1988.07
- (3) 富士通：“FACOM OS IV/F4 MSP FSPICE 解説書”，初版，PP.18-19，富士通，(昭59-11)
- (4) CQ出版社：“TTLIC規格表 85”，第2版，P.15，(昭60-06)
- (5) 亀山，樋口：“3値Tゲート回路網の合成理論”，信学論(D)，J59-D，3，PP.204-211，(昭51-03)
- (6) 瑞慶覧，安富祖：“共通関数を用いた多値Tゲート回路網の合成”，多値論理研究ノート，Vol.10，No.9，1988.07