

VLSI レイアウト設計におけるブロック配置の改良 Improvement of Block Placement in VLSI Layout Design

広島大学工学部 大村道郎 (Michiroh Ohmura)

広島大学工学部 宮尾淳一 (Jun'ichi Miyao)

広島大学工学部 若林真一 (Shin'ichi Wakabayashi)

1. まえがき

ビルディングブロック方式による VLSI レイアウト設計において、素子間の接続情報に加え、形状や端子位置等のレイアウト情報も既に決定されているハードブロックを、レイアウト情報がまだ決定されていないソフトブロックに先立って配置する手法が幾つか提案されている [1], [3]。これらの手法では、配線長の最小化を考慮してハードブロックの配置改良を行う必要があると考えられる。著者らは VLSI チップ上でのブロック配置問題を解く基本的な考察として、チップのある 1 辺に接する周辺ブロックについて配置改良を行う問題を考え、この問題を最適に解くアルゴリズムを文献 [4] で与えた。文献 [4] では、ブロックの配置順序が与えられたときに、外部端子とブロック間を接続する 2 端子ネットの仮

想配線長を最小にする配置改良問題について議論している。

本稿では、この問題を更に次のように拡張した問題について議論する。先ず、ブロック間にまたがるネットを許し、更に、この問題を一般の多端子ネットに対応できるように拡張する。次に文献[4]の問題に対して、ブロックの配置順序が与えられないとしたときの問題について考察する。最後に、配線モデルとしてリバールーティング[2]を考えたときに、 y 座標(セパレーション)まで考えた配線長の最小化問題について議論する。

2. 1次元配置改良問題PM1

VLSIチップのある1辺に接する周辺ブロック(以降、単にブロックと呼ぶ)について配置改良を行う問題を考える。

[定義1] チップの1辺に接するように配置される論理回路を $LC = (M, T_e, N)$ と定義する。但し、 M, T_e, N は次の(1)~(3)とする。

(1) M はチップのある一辺に接する周辺ブロックの集合である。本稿では、各ブロックの形状を矩形に制限し、 x 軸上に1次元に配置されるものとする。各ブロック $M_i \in M$ については、その大きさ、 M_i に含まれる端子 t_j の集合と各 t_j の相対的な位置が与えられる。

x 軸上に配置されている各ブロック $M_i \in M$ の最小 x 座標によって M_i の配置 $L(M_i)$ を定義し、各ブロック $M_i \in M$ の配置 $L(M_i)$ の集合によって M の配置 $L(M)$ を定義する。

(2) T_e は外部端子 $t e_i$ の集合で、チップの周辺に存在する入出力パッドの集合、及び、周辺ブロック以外のブロック (本稿では、配置改良の対象とはしていない) の端子の集合の集合和とする。なお、各外部端子 $t e_i$ は、その位置が与えられる。

(3) N は、ブロック上の端子 t_j と外部端子 $t e_k$ の間の配線に関する結線要求を表す 2 端子ネット n_i のネットリストである。各 2 端子ネット n_i は t_j と $t e_k$ の集合として $n_i = \{t_j, t e_k\}$ と表される。各ネット n_i はその重みを表す定数 c_i を持つ。 □

ここではブロックの初期配置 $L_I(M)$ が与えられるものとし、配置改良においては初期配置で与えられたブロックの左右の位置関係を保存するものとする。更にブロックと外部端子は y 方向に十分離れていると仮定する。このとき、各ブロックの配置によって y 方向のマンハッタン距離が変わることがないので、VLSI の配置問題で一般的に目的関数として用いられる仮想配線長はネットにおける 2 端子の x 座標の差 ($D_x(n_i)$) に置き換えることができる。重み c_i のネット n_i

の仮想配線長を $c_i \cdot D_x(n_i)$ で表す.

[問題PM1] 入力として, ①論理回路 $LC = (M, Te, N)$,
②ブロックの初期配置 $L_I(M)$, ③ブロックの配置領域 R が
与えられる. このとき, 次の条件 i) ~ iii) を満足し, 次の目
的関数 Z が最小となるブロックの配置 $L(M)$ を求めよ.

$$Z = \sum_{n_i \in N} c_i \cdot D_x(n_i)$$

条件 i) すべてのブロックは x 軸上において, 与えられた配
置領域 R 内に配置される.

条件 ii) 任意のブロック間に重なりがない.

条件 iii) ブロックの位置に関する順序関係が変わらない.

条件 iv) ブロックは接している x 軸に対して平行移動のみで
きる. □

[定理1] 問題PM1を時間計算量 $O(|N| \cdot (|M| + \log|N|))$ で最適に解くアルゴリズムが存在する [4]. □

3. 多端子ネットへの拡張

3.1 問題PM2

先ず問題PM1に対し, ブロック同士にも接続のある場合
について考える. 入力として与えられる論理回路は $LC' =$
 (M, Te, N') と表される. 但し, M, Te は問題PM1と同

様とし、 N' はブロック、及び外部端子を接続する多端子ネットの集合を表すネットリストであるとする。

配置改良問題PM2を次のように定義する。

[問題PM2] 問題PM1においてネットリスト N の代わりに N' が与えられる問題を問題PM2と定義する。 □

この問題に対して次の定理が成り立つ。

[定理2] 問題PM2は問題PM1に帰着可能である [5]。

[例1] 問題PM2における、モジュール間を接続するネット n_i (図1)の変換例を図2に示す。

3.2 問題PM3

次に問題PM2に対し、多端子ネットが存在する場合について考える。入力として与えられる論理回路は $LC'' = (M, Te, N'')$ と表される。但し、 M, Te は問題PM2と同様とし、 N'' はブロック、及び外部端子を接続する多端子ネット

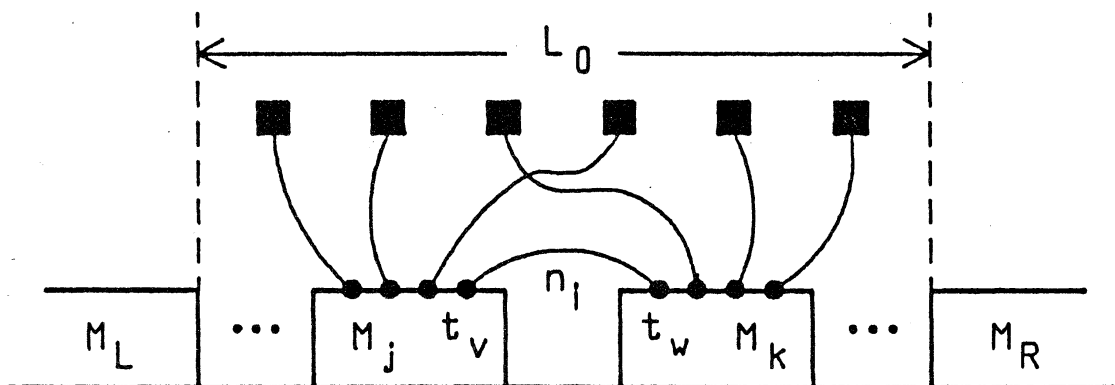


図1 問題PM2におけるネット n_i

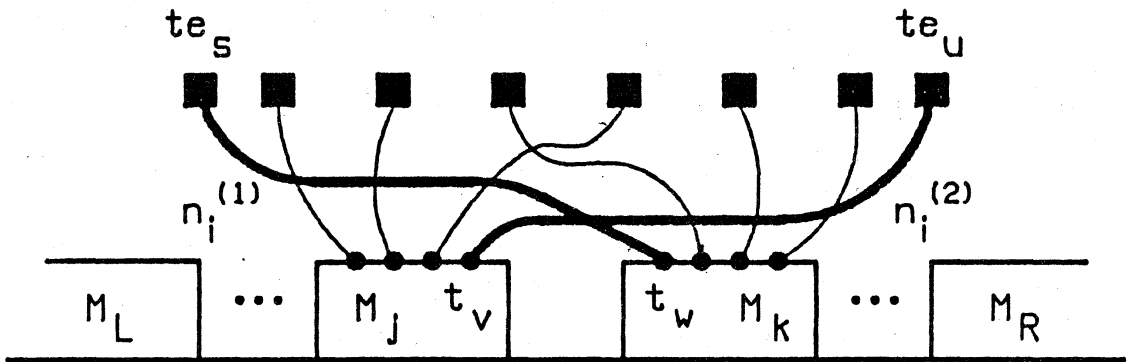


図2 ネット n_i の変換例

の集合を表すネットリストであるとする。

配置改良問題 $PM3$ を以下のように定義する。

[問題 $PM3$] 問題 $PM2$ においてネットリスト N' のかわりに N'' が与えられる問題を問題 $PM3$ と定義する。 □

この問題に対して次の定理が成り立つ。

[定理 3] 問題 $PM3$ は問題 $PM2$ に帰着可能である [5]。

[例 2] 問題 $PM3$ における、多端子ネット n_i (図 3) の変換例を図 4 に示す。 □

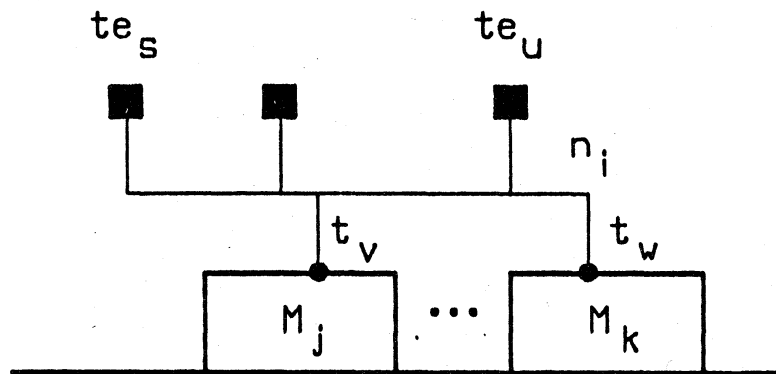


図3 問題 $PM3$ における多端子ネット n_i

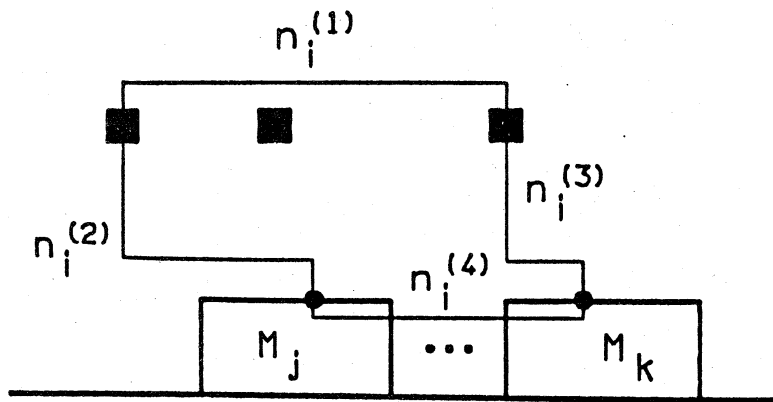


図4 ネット n_i の変換例

4. 問題 $PM1$ に対するその他の拡張

4.1 問題 $PM4$

問題 $PM1$ に対し，初期配置(ブロックの位置に関する順序関係)が与えられない場合について考え，配置改良問題 $PM4$ を以下のように定義する．

[問題 $PM4$] 問題 $PM1$ において，ブロックの初期配置 $L_I(M)$ が与えられない(従って条件 iii を取り除いた)問題を問題 $PM4$ と定義する。 □

この問題に対して次の定理が成り立つ．

[定理 4] 問題 $PM4$ は NP 困難である [5]。 □

4.2 問題 $PM5$

問題 $PM1$ に対し， y 座標(ブロックと外部端子の間の距離，これを文献[2]ではセパレーションと呼んでいる)も考慮した配線長最小化問題を考える．この問題に限りモデルと

してリバールーティング^[2]を仮定する(図5). 配置改良問題PM5を以下のように定義する.

[問題PM5] 問題PM1において, 目的関数における $D_x(n_i)$ を y 座標も含めたネット n_i に対する配線長 $D(n_i)$ に置き換えた問題を問題PM5と定義する. □

文献[2]によるとセパレーション y が与えられたときに配線できるかどうかの必要十分条件は $t_{e_{i+y}} - t_i \geq y$, 且つ, $t_{i+y} - t_{e_i} \geq y$ である. 今, 外部端子は固定なので, あるセパレーション y が与えられたときに, 配線可能ならば, 各端子 t_{e_k} に対して $\alpha \leq t_{e_k} \leq \beta$ という制約が付く. これらの制約は t_{e_k} を含むブロック M_j の配置 $L(M_j)$ の制約に置き換えることができる.

ところで, 各ブロックに対しそれぞれ配置領域を入力として与える問題PM1'は, 問題PM1の簡単な拡張として, 時間計算量 $O(|N| \cdot (|M| + \log |N|))$ で最適に解くことがで

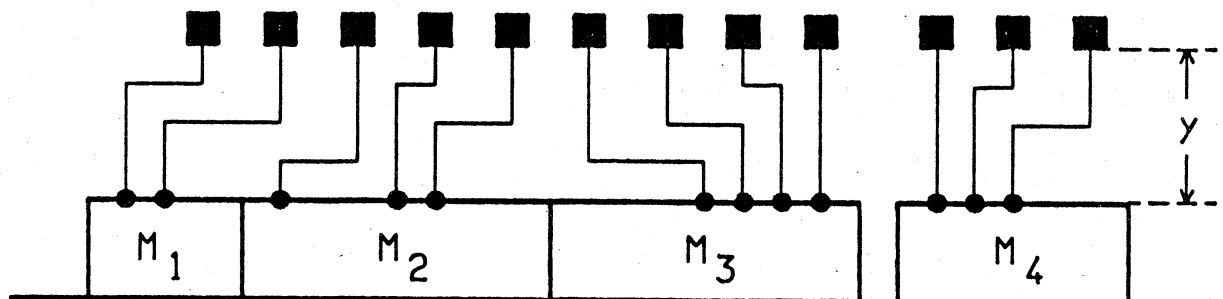


図9 リバールーティング

きる [5]. 更にセパレーション y の範囲は 0 から高々 $|N|$ となる. 従って可能性のあるすべてのセパレーションについて x 座標に関する配線長の最小化を行えば, リバールーティングに関して実際の配線長が最小となるブロックの配置を得ることができる.

以上のことより, この問題に関して次の定理が成り立つ.

[定理 5] 問題 $PM5$ に対して, 時間計算量 $O(|N|^2 \cdot (|M| + \log |N|))$ で最適に解くアルゴリズムが存在する [5]. \square

6. あとがき

本稿では, 1次元ブロック配置改良問題 [4] について幾つかの拡張を試み, それらに対して考察を行い, 幾つかの最適アルゴリズムを与えた. 今後の課題としては, 4.2 で示した問題に対してリバールーティング以外の配線モデルについても考察すること等がある.

謝辞 日頃よりご指導を賜わります本学吉田典可教授, 有益なご助言を頂く大阪大学基礎工学部菊野亨助教授に感謝致します.

文献

- [1] M. C. Chi : "An automatic rectilinear partitioning procedure for standard cells", Proc. 24th DA Conf., pp.50-55 (1987).
- [2] C. E. Leiserson and R. Y. Pinter : "Optimal placement for river routing", in "VLSI Systems and Computations", H. T. Kung et al., Ed., Computer Science Press (1981).
- [3] M. Ohmura, H. Izumoto, T. Fujii, T. Kikuno, and N. Yoshida : "A new floorplanning method with global routing based on functional partitioning", Proc. ISCAS'88, pp.1697-1700 (1988).
- [4] 大村, 横山, 若林, 宮尾, 吉田 : "VLSIにおけるクリティカルネットに基づくモジュールの配置改良問題", 信学技報, COMP88-52 (1988).
- [5] 大村 道郎 : "VLSIレイアウト設計における1次元ブロック配置問題に関する考察", Tech. Rep. No.89-03, ECS Lab., Hiroshima Univ. (1989).