

# 154

## メモリ型並列計算における ネットワークの形態と能力について

京大工 武永康彦 (Yasuhiko Takenaga)

京大工 矢島脩三 (Shuzo Yajima)

### 1. はじめに

機能メモリはランダムアクセスメモリに若干の機能を付加することにより、メモリ上で種々の計算をおこなえるようにしたものである。このような機能メモリは高集積化が可能なSIMD(Single Instruction Multiple Data stream)型の並列計算機構としてとらえることが可能である。機能メモリの一種である連想メモリ(CAM: Content Addressable Memory)の20KビットLSIが開発される<sup>[1]</sup>など近年になって高集積化が進み、機能メモリを用いた高速計算の研究が再び注目を集めている<sup>[2]</sup>。

我々はこれまでに、アドレスの部分一致による複数のメモリセルへの並列アクセスが可能な機能メモリをRAM(Random Access Machine)に付加した、いくつかのメモリ型並列計算モデルを提案した<sup>[3,4,5]</sup>。基本的モデル<sup>[3,4]</sup>で多項式時間

で受理できるクラスは  $\Delta_2^P$  [6]、すなわち NP 問題に対する神託を持つ神託付きチューリング機械 (OTM: Oracle Turing Machine) により多項式時間で受理できるクラスに等しい。また、ハイパーキューブ状のネットワークによるワード間の並列通信機能を与えたモデル [5] では、多項式時間で受理できるクラスは PSPACE に等しい。

このように、通信機能を付加することにより多項式時間で受理できるクラスが上昇する。本報告では、CCC および omega ネットワークによる通信機能を持つモデル上で、PSPACE に属する問題を多項式時間で受理出来ることを示す。

2. 準備

2.1 CAFRAMモデル

CAFRAM [4] は、図 1 に示すように、RAM、無限に大きな機能メモリ、検索結果レジスタからなる。

機能メモリは、図 2 に示すように、無限個のワ

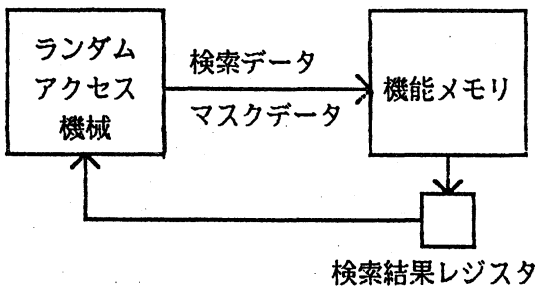


図1 CAFRAMの構成

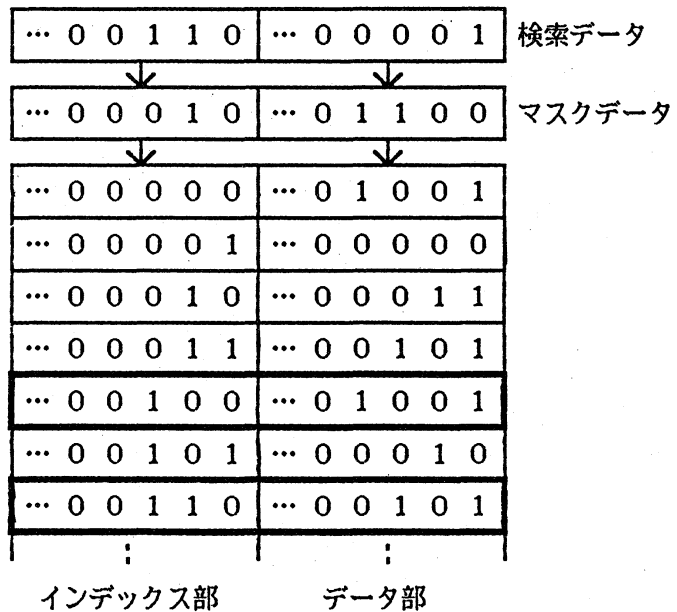


図2 機能メモリによる検索

ードからなる。各ワードは、インデックス部とデータ部からなり、どちらも無限のビット数を持つ。インデックス部には、先頭のワードから順に、0, 1, 2, ... の2進数が書き込まれており、書き換えはできない。インデックス部に書き込まれた数をアドレスと呼ぶ。データ部は検索結果により書き換えが可能である。検索データとマスクデータを与えることにより、全ワードのインデックス部とデータ部に対する部分一致検索をおこなうことができる。検索データおよびマスクデータは、インデックス部、データ部のそれぞれに対して与える必要がある。マスクデータが0の部分のみに、検索データとの一致検索が行われ、その結果により、データ部に操作が加えられる。

検索結果レジスタは、1ビットのフラグで、検索命令の結果により0または1が自動的に記入される。

CAFRAMの命令セットは通常のRAMの命令セットに加えて、SEARCH, WRITEBITの2種類の命令を持つ。オペランドとしては、検索結果レジスタの指定も可能である。SEARCH, WRITEBITの各命令が機能メモリを用いた検索命令である。検索データ、マスクデータは、オペランドに指定されたRAMのレジスタの内容を2進数とみなした列がデータとなる。ただし、データの上位には0が補われるものとする。図2では、太線で

囲まれたワードが一致している。SEARCH命令は、インデックス部とデータ部に対して検索をおこない、その結果一致するワードが存在すれば1、存在しなければ0が検索結果レジスタに自動的にセットされる。データ部の内容は変更しない。WRITEBIT命令は、検索データ、マスクデータのほか、検索結果により内容を変更するビット位置（複数も可）と、1個の論理演算を指定する。この論理演算は任意の2変数論理関数でよい。全てのワードのデータ部のうち指定したビットに、検索結果（一致したワードは1、一致しないワードは0）と現在データ部に記憶されている値との論理演算をおこなった結果を書き込む。インデックス部の検索データ、マスクデータとして $n$ 桁の2進数を与えれば、下位から $n$ ビット以外は全て0になり、実質上アドレスが0から $2^n - 1$ までの $2^n$ 個のワードに対して操作がおこなわれる。なお、初期状態において、データ部は全て0であるとする。

このモデル上での時間計算量は、通常のRAMと同じく実行した命令の数で定義する。

## 2. 2 通信機能の付加：cube-CAFRAMモデル

本節では、CAFRAMにワード並列のワード間通信の機能を与えた、cube-CAFRAMのモデルを示す<sup>[5]</sup>。

ワード間を接続するネットワークの形態は、ハイパーキュー

ープ状をなす。すなわち、各ワードは、アドレスを2進数で表現したとき1ビットのみ異なる全てのワードと接続される。例えば、アドレスが0のワードは、アドレスが1, 2, 4, 8, ...の各ワードと接続される。

cube-CAFRAMは、通信命令COMをもつ。COM命令では、オペランドとしてアドレスの1つのビット位置が指定される。通信は、指定されたビットのみが異なる全てのワード対の間で並列におこなわれる。各ワード対の間では、それぞれの最下位ビットの値を交換する。この命令は他の命令と同じく単位時間で実行されるものとする。

### 2.3 cube-CAFRAMの計算能力

cube-CAFRAM上では、代表的なPSPACE完全問題として知られているQBF問題を多項式時間で解くことができる。

QBF: 限定記号付きブール式が真であるか。限定記号付きブール式とは、 $Q_1 x_1 Q_2 x_2 \dots Q_n x_n F(x_1, x_2, \dots, x_n)$ の形をしたものである。ただし、 $F(x_1, x_2, \dots, x_n)$ は $x_1, x_2, \dots, x_n$ を変数とするブール式、 $Q_k \in \{\exists, \forall\}$  ( $1 \leq k \leq n$ )とする。

#### [QBFを解くアルゴリズム]

機能メモリの0番地から $2^n - 1$ 番地までを対象に以下の操作をおこなう。

Step1 : 各アドレスに対応する割り当てがブール式  $F(x_1, x_2, \dots, x_n)$  を充足するかどうかを求める。充足する割り当てには 1、充足しない割り当てには 0 を記入する。

Step2 :  $k = n$  から 1 について順次、以下の操作を繰り返す。

(1) 変数  $x_k$  に対応するビットを指定して通信をおこなう。

(2) 通信によって得たビットの値と、以前から記憶していたデータビットの間で、 $x_k$  の限定記号が  $\exists$  であれば OR、 $\forall$  であれば AND をとる。

Step3 : (1) データビットが 1 のワードを検索する。

(2) 選択されたワードがあれば、QBF の答えは yes である。 □

PSPACE 完全問題である QBF を多項式時間で解くことができることを用いて、次の定理が示される<sup>[5]</sup>。

定理 cube-CAFRAM により多項式時間で受理できるクラスは PSPACE に等しい。

### 3. ネットワークの形態と計算能力

#### 3.1 CCC および omega ネットワーク

CCC および omega ネットワークを図 3 に示す。ただし、ネッ

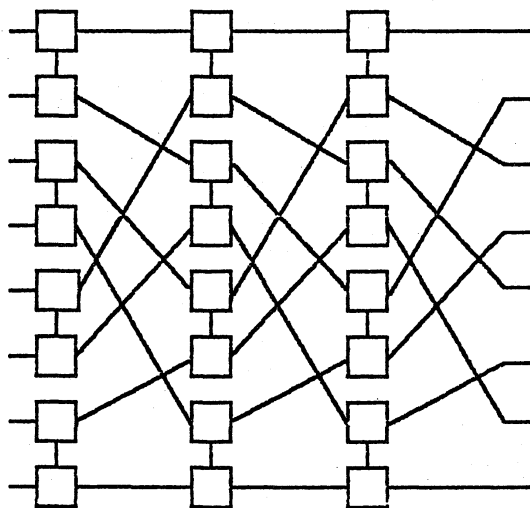
トワークの両端はつながっているものとする。

CCCおよびomegaネットワークは、ハイパーキューブと密接な関係を持つ。

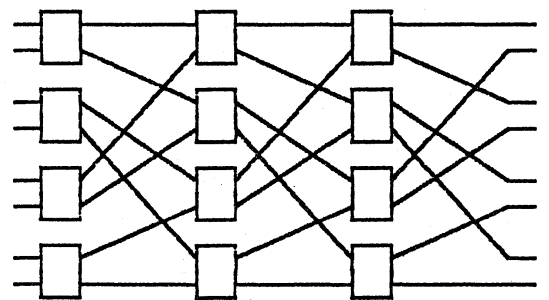
定義 CCC :  $k \cdot 2^k$ 個のノードからなるCCCネットワークは、 $2^k$ 個のノードからなるハイパーキューブの各ノードを  $k$  個のノードで置き換え、それらのノードをリング状につないだものである。

定義 omega :  $k \cdot 2^{k-1}$ 個のノードからなるomegaネットワークは、 $k \cdot 2^k$ 個のノードからなるCCCネットワークのうち、ハイパーキューブの同一辺上にある2ノードをまとめて1個のノードにしたものである。

ハイパーキューブでは、ノード数の増加にあわせて、各ノードの次数も増加するため、多くの通信線が必要となる。そ



(a) CCCネットワーク ( $k=3$ )



(b) omegaネットワーク ( $k=3$ )

図3 CCCおよびomegaネットワーク

れに対し、CCCおよび $\omega$ は、各ノードの次数がそれぞれ3, 4でノード数にかかわらず一定である。そのため、ハイパーキューブと較べて実現が容易である。

図3からわかるとおり、これらのネットワークは $k$ 個のステージからなる巡回ネットワークとなる。

### 3.2 CCC・ $\omega$ による通信の能力

本節では機能メモリ上のネットワークとして、CCCおよび $\omega$ ネットワークを用いた場合の能力について述べる。

ステージ間の通信は、各ステージごとに並列に実行され、通信は一方向である。また、CCCネットワークにおけるステージ内での通信は、全て並列に実行される。以上のうちの1個が通信命令で指定される。各通信線は、常にワード内の決まったビットの内容を通信する。

入力のサイズに対して十分大きなネットワークを用いることができると仮定した場合、次の定理が成り立つ。

**定理** CCCおよび $\omega$ ネットワークを持つメモリ型並列計算モデル上で、PSPACEに属する集合を多項式時間で受理することが可能である。

**略証** CCCおよび $\omega$ ネットワークに、以下のように機能メモリのアドレスを割り当てる。CCCネットワークは、ノードの含まれるステージをアドレスの上位 $\lceil \log k \rceil$ ビット、対応



するハイパーキューブのノードのアドレスを下位  $k$  ビットを用いて表わす。omega ネットワークは、同じく上位  $\lceil \log k \rceil$  ビットでノードの含まれるステージを表わし、下位  $k - 1$  ビットはステージ内での番号を割り当てる。ステージ内での番号は、対応するハイパーキューブの 2 個のノードのうち一致するビットを用いるものとする。

次に、3 種類の機能メモリ上のネットワークにおいて相互にシミュレートをおこなう。 $2^k$  ノードのハイパーキューブと  $k \cdot 2^k$  ノードの CCC のシミュレーションは、両方向ともに  $k$  倍の時間をかけることにより可能である。

また、 $k \cdot 2^k$  ワードの CCC と  $k \cdot 2^{k-1}$  ワードの omega のシミュレーションは、両方向ともに定数倍の時間で可能である。

omega により CCC のシミュレートをおこなうには、omega の各ワードで、対応する CCC の 2 個のワードのアドレスを通信機能を用いてあらかじめ計算しておく。 □

#### 4. おすび

本報告では、ワード間の通信機能を持つメモリ型並列計算モデルにおいて、十分な大きさの CCC、omega ネットワークを持つ場合、PSPACE に属する集合を多項式時間で受理できることを示した。

#### 謝辞

貴重なご助言、ご討論をいただく高木直史博士をはじめ矢島研究室の皆様へ感謝致します。

#### 参考文献

- [1] T.Ogura, J.Yamada, S.Yamada and M.Tan-no: "A 20-kbit Associative Memory LSI for Artificial Intelligence Machines," IEEE J.Solid-State Circuits, Vol.24, No.4, pp1014-1020 (1989).
- [2] L.Chisvin and R.J.Duckworth: "Content-addressable and Associative Memory," IEEE Computer, Vol.22, No.7, pp.51-64 (1989).
- [3] 高木直史, 武永康彦, 矢島脩三: "メモリ型並列計算モデルとその計算能力," 情報処理学会論文誌, Vol.31, No.11, pp1565-1571 (1990).
- [4] 武永康彦, 高木直史, 矢島脩三: "連想メモリによるメモリ型並列計算モデルとその能力," 信学技報 COMP89-118, p39-44(1989).
- [5] 武永康彦, 矢島脩三: "メモリ型並列計算モデルにおける通信の能力について." 信学技報 COMP90-22, pp29-34(1990).
- [6] L.J.Stockmeyer: "The Polynomial Time Hierarchy," Theoretical Computer Science, 3, pp1-22 (1977).